

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

IN RE APPLICATION OF: Keiji HOSOTANI

GAU:

SERIAL NO: NEW APPLICATION

EXAMINER:

FILED: HEREWITH

FOR: SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE AND METHOD OF MANUFACTURING THE
SAME

REQUEST FOR PRIORITY

COMMISSIONER FOR PATENTS
ALEXANDRIA, VIRGINIA 22313

SIR:

Full benefit of the filing date of U.S. Application Serial Number , filed , is claimed pursuant to the provisions of 35 U.S.C. §120.

Full benefit of the filing date(s) of U.S. Provisional Application(s) is claimed pursuant to the provisions of 35 U.S.C. §119(e): Application No. Date Filed

Applicants claim any right to priority from any earlier filed applications to which they may be entitled pursuant to the provisions of 35 U.S.C. §119, as noted below.

In the matter of the above-identified application for patent, notice is hereby given that the applicants claim as priority:

COUNTRY	APPLICATION NUMBER	MONTH/DAY/YEAR
Japan	2002-230126	August 7, 2002

Certified copies of the corresponding Convention Application(s)

are submitted herewith

will be submitted prior to payment of the Final Fee

were filed in prior application Serial No. filed

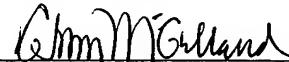
were submitted to the International Bureau in PCT Application Number
Receipt of the certified copies by the International Bureau in a timely manner under PCT Rule 17.1(a) has been acknowledged as evidenced by the attached PCT/IB/304.

(A) Application Serial No.(s) were filed in prior application Serial No. filed ; and

(B) Application Serial No.(s)
 are submitted herewith
 will be submitted prior to payment of the Final Fee

Respectfully Submitted,

OBLON, SPIVAK, McCLELLAND,
MAIER & NEUSTADT, P.C.



Marvin J. Spivak

Registration No. 24,913

C. Irvin McClelland
Registration Number 21,124



22850

Tel. (703) 413-3000
Fax. (703) 413-2220
(OSMMN 05/03)

0350486

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出願年月日

Date of Application: 2002年 8月 7日

出願番号

Application Number: 特願2002-230126

[ST.10/C]:

[JP2002-230126]

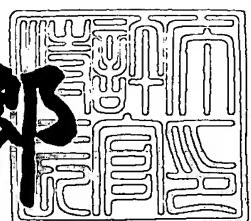
出願人

Applicant(s): 株式会社東芝

2003年 4月11日

特許長官
Commissioner,
Japan Patent Office

太田 信一郎



出証番号 出証特2003-3025636

【書類名】 特許願
【整理番号】 A000107266
【提出日】 平成14年 8月 7日
【あて先】 特許庁長官 殿
【国際特許分類】 G11C 11/02
【発明の名称】 半導体集積回路装置及びその製造方法
【請求項の数】 15
【発明者】
【住所又は居所】 神奈川県横浜市磯子区新杉田町8番地 株式会社東芝横浜事業所内
【氏名】 細谷 啓司
【特許出願人】
【識別番号】 000003078
【氏名又は名称】 株式会社 東芝
【代理人】
【識別番号】 100058479
【弁理士】
【氏名又は名称】 鈴江 武彦
【電話番号】 03-3502-3181
【選任した代理人】
【識別番号】 100084618
【弁理士】
【氏名又は名称】 村松 貞男
【選任した代理人】
【識別番号】 100068814
【弁理士】
【氏名又は名称】 坪井 淳
【選任した代理人】
【識別番号】 100092196

【弁理士】

【氏名又は名称】 橋本 良郎

【選任した代理人】

【識別番号】 100091351

【弁理士】

【氏名又は名称】 河野 哲

【選任した代理人】

【識別番号】 100088683

【弁理士】

【氏名又は名称】 中村 誠

【選任した代理人】

【識別番号】 100070437

【弁理士】

【氏名又は名称】 河井 将次

【手数料の表示】

【予納台帳番号】 011567

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体集積回路装置及びその製造方法

【特許請求の範囲】

【請求項1】 第1方向に延びる第1の配線と、
前記第1方向に交差する第2方向に延びる第2の配線と、
少なくとも第1の磁性層、非磁性層、第2の磁性層を含む磁気抵抗効果素子と
を具備し、

前記磁気抵抗効果素子の平面形状は、前記第1の配線と前記第2の配線との交
差部の平面形状に一致することを特徴とする半導体集積回路装置。

【請求項2】 前記磁気抵抗効果素子の下面には前記第1の配線とのコンタ
クトが有り、前記磁気抵抗効果素子の上面には前記第2の配線とのコンタクトが
有ることを特徴とする請求項1に記載の半導体集積回路装置。

【請求項3】 前記磁気抵抗効果素子は、整流性素子と積層されていること
を特徴とする請求項2に記載の半導体集積回路装置。

【請求項4】 前記第2方向に延び、前記第2の配線とギャップを介して平
行に形成された第3の配線を、さらに具備し、

前記磁気抵抗効果素子の下面には前記第1の配線とのコンタクトが有り、前記
磁気抵抗効果素子の上面には前記第3の配線とのコンタクトが有ることを特徴と
する請求項1に記載の半導体集積回路装置。

【請求項5】 前記磁気抵抗効果素子の下面には前記第1の配線とのコンタ
クトが有り、前記磁気抵抗効果素子の上面は引き出し電極の一端と接続し、前記
引き出し電極の他端は、MOSFETのソース又はドレイン拡散層に接続されて
いることを特徴とする請求項1に記載の半導体集積回路装置。

【請求項6】 第1方向に延びる第1の配線と、
前記第1方向に交差する第2方向に延びる第2の配線と、
少なくとも第1の磁性層、非磁性層、第2の磁性層を含む磁気抵抗効果素子と
を具備し、

前記磁気抵抗効果素子は、磁性層を含む磁気記録層と、非磁性層を含むトンネ
ル障壁層と、磁性層を含む磁化固定層とを含むTMR素子であり、

少なくとも前記磁気記録層の平面形状が前記第1の配線と前記第2の配線との交差部の平面形状に一致し、

少なくとも前記磁化固定層の平面形状が前記第1の配線の平面形状に一致することを特徴とする半導体集積回路装置。

【請求項7】 半導体基板上に、第1の絶縁層を形成する工程と、

前記第1の絶縁層上に、第1の導電層を形成する工程と、

前記第1の導電層上に、少なくとも第1の磁性層、非磁性層、第2の磁性層を含む磁気抵抗効果素子層を形成する工程と、

前記磁気抵抗効果素子層及び前記第1の導電層を、第1の配線パターンに応じたパターンを持つマスクを用いて加工する工程と、

前記加工された前記磁気抵抗効果素子層上及び前記第1の絶縁層上に、第2の絶縁層を形成する工程と、

前記第2の絶縁層を、その上面と前記磁気抵抗効果素子層の上面とが同一平面上に露出するように平坦化する工程と、

前記第2の絶縁層上及び前記磁気抵抗効果素子層上に、第2の導電層を形成する工程と、

前記第2の導電層及び前記磁気抵抗効果素子層を、第2の配線パターンに応じたパターンを持つマスクを用いて加工する工程と

を具備することを特徴とする半導体集積回路装置の製造方法。

【請求項8】 半導体基板上に、第1の絶縁層を形成する工程と、

前記第1の絶縁層上に、第1の導電層を形成する工程と、

前記第1の導電層上に、整流性素子層及び少なくとも第1の磁性層、非磁性層、第2の磁性層を含む磁気抵抗効果素子層を含む複合層を形成する工程と、

前記複合層及び前記第1の導電層を、第1の配線パターンに応じたパターンを持つマスクを用いて加工する工程と、

前記第1のパターン上及び前記第1の絶縁層上に、第2の絶縁層を形成する工程と、

前記第2の絶縁層を、その上面と前記複合層の上面とが同一平面上に露出するように平坦化する工程と、

前記第2の絶縁層上及び前記複合層上に、第2の導電層を形成する工程と、
前記第2の導電層及び前記複合層を、第2の配線パターンに応じたパターンを持つマスクを用いて加工する工程と、
を具備することを特徴とする半導体集積回路装置の製造方法。

【請求項9】 半導体基板上に、第1の絶縁層を形成する工程と、
前記第1の絶縁層上に、第1の導電層を形成する工程と、
前記第1の導電層上に、少なくとも第1の磁性層、非磁性層、第2の磁性層を含む磁気抵抗効果素子層を形成する工程と、
前記磁気抵抗効果素子層及び前記第1の導電層を、第1の配線パターンに応じたパターンを持つマスクを用いて加工する工程と、
前記加工された磁気抵抗効果素子層上及び前記第1の絶縁層上に、第2の絶縁層を形成する工程と、
前記第2の絶縁層を、その上面と前記磁気抵抗効果素子層の上面とが同一平面上に露出するように平坦化する工程と、
前記第2の絶縁層上及び前記磁気トンネル接合層上に、第2の導電層を形成する工程と、
前記第2の導電層上に、第3の絶縁層を形成する工程と、
前記第3の絶縁層上に、第3の導電層を形成する工程と、
前記第3の導電層、前記第3の絶縁層、前記第2の導電層及び前記磁気抵抗効果素子層を、第2の配線パターンに応じたパターンを持つマスクを用いて加工する工程と
を具備することを特徴とする半導体集積回路装置の製造方法。

【請求項10】 半導体基板上に、第1の絶縁層を形成する工程と、
前記第1の絶縁層上に、第1の導電層を形成する工程と、
前記第1の導電層上に、整流性素子層及び少なくとも第1の磁性層、非磁性層、第2の磁性層を含む磁気抵抗効果素子層を含む複合層を形成する工程と、
前記複合層及び前記第1の導電層を、第1の配線パターンに応じたパターンを持つマスクを用いて加工する工程と、
前記加工された複合層上及び前記第1の絶縁層上に、第2の絶縁層を形成する

工程と、

前記第2の絶縁層を、その上面と前記複合層の上面とが同一平面上に露出する
ように平坦化する工程と、

前記第2の絶縁層上及び前記磁気抵抗効果素子層上に、第2の導電層を形成す
る工程と、

前記第2の導電層上に、第3の絶縁層を形成する工程と、

前記第3の絶縁層上に、第3の導電層を形成する工程と、

前記第3の導電層、前記第3の絶縁層、前記第2の導電層及び前記複合層を、
第2の配線パターンに応じたパターンを持つマスクを用いて加工する工程と
を具備することを特徴とする半導体集積回路装置の製造方法。

【請求項11】 絶縁ゲート型電界効果トランジスタが形成された半導体基
板上に、第1の絶縁層を形成する工程と、

前記第1の絶縁層を平坦化する工程と、

前記第1の絶縁層上に、第1の導電層を形成する工程と、

前記第1の導電層上に、少なくとも第1の磁性層、非磁性層、第2の磁性層を
含む磁気抵抗効果素子層を形成する工程と、

前記磁気抵抗効果素子層及び前記第1の導電層を、第1の配線パターンに応じ
たパターンを持つマスクを用いて加工する工程と、

前記加工された磁気抵抗層上及び前記第1の絶縁層上に、第2の絶縁層を形成
する工程と、

前記第2の絶縁層を、その上面と前記磁気抵抗効果素子層の上面とが同一平面
上に露出するように平坦化する工程と、

前記第2の絶縁層及び前記第1の絶縁層を貫通して、前記絶縁ゲート型電界効
果トランジスタのソース又はドレインに電気的に接続されるヴィアを形成する工
程と、

前記第2の絶縁層上及び前記磁気抵抗効果素子層上に、第2の導電層を形成す
る工程と、

前記第2の導電層を、前記磁気抵抗効果素子と前記ヴィアとに接するパターン
に加工する工程と、

前記加工された第2の導電層上及び前記第2の絶縁層上に、第3の絶縁層を形成する工程と、

前記第3の絶縁層上に、第3の導電層を形成する工程と、

前記第3の導電層、前記第3の絶縁層、前記第2の導電層及び前記磁気抵抗効果素子層を、第2の配線パターンに応じたパターンを持つマスクを用いて加工する工程と

を具備することを特徴とする半導体集積回路装置の製造方法。

【請求項12】 前記磁気抵抗効果素子層を加工する際、前記第1の磁性層及び前記第2の磁性層の一方のみを加工し、前記非磁性層で加工を止めることを特徴とする請求項6、請求項8及び請求項10いずれか一項に記載の半導体集積回路装置の製造方法。

【請求項13】 前記複合層を加工する際、前記第1の磁性層及び前記第2の磁性層の一方のみを加工し、前記非磁性層で加工を止めることを特徴とする請求項7及び請求項9いずれかに記載の半導体集積回路装置の製造方法。

【請求項14】 前記磁気抵抗効果素子層は、磁気記録層、トンネル障壁層、磁化固定層を含む磁気トンネル接合層であり、前記磁気抵抗効果素子層を加工する際、前記磁気記録層を加工し、前記トンネル障壁層で加工を止めることを特徴とする請求項11に記載の半導体集積回路装置の製造方法。

【請求項15】 前記複合層に含まれる前記磁気抵抗効果素子層は、磁気記録層、トンネル障壁層、磁化固定層を含む磁気トンネル接合層であり、前記磁気抵抗効果素子層を加工する際、前記磁気記録層を加工し、前記トンネル障壁層で加工を止めることを特徴とする請求項12に記載の半導体集積回路装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明は半導体集積回路装置及びその製造方法に係わり、特に磁気抵抗効果素子を含むメモリセルを具備した半導体集積回路装置及びその製造方法に関する

【0002】

【従来の技術】

電気あるいは磁気によってデータの書き込み及び読み出しを行う記憶装置の一つに、磁気ランダムアクセスメモリ（Magneto-resistive Random Access Memory:以下、MRAMという）がある。

【0003】

図41Aは典型的な磁気ランダムアクセスメモリを示す平面図、図41Bは図41A中の41B-41B線に沿う断面図、図41Cは図41A中の41C-41C線に沿う断面図である。

【0004】

図41A～図41Cに示すように、第1方向Xに延びる第1の電流磁界配線101と、第1方向Xに交差する第2方向Yに延びる第2の電流磁界配線102とがある。第1の電流磁界配線101と第2の電流磁界配線との各交差部には磁気抵抗効果素子103が配置されている。磁気抵抗効果素子103には、磁気トンネル接合（Tunneling Magneto-Resistive:以下、TMRという）を含むTMR素子を使うのが一般的である。以下、磁気抵抗効果素子103をTMR素子103と呼ぶ。

【0005】

TMR素子103は、例えば第1、第2の電流磁界配線101、102を1本ずつ選択することで選択され、これによって、任意のビットのTMR素子103に対してデータ読み出しあるいはデータ書き込みが為される。具体的には、データ読み出しへは、例えば一対の第1、第2の電流磁界配線101、102を選択し、選択された一対の第1、第2の電流磁界配線101、102間に流れる電流の大小を検知することで為される。

【0006】

また、データ書き込みは、例えば一対の第1、第2の電流磁界配線101、102を選択し、選択された一対の第1、第2の電流磁界配線101、102に電流を流す。そして、電流により発生する磁界が選択された一対の第1、第2の電流磁界配線101、102の交差部で強くなることを利用し、この交差部に位置

するTMR素子103に対してデータを書き込む。

【0007】

【発明が解決しようとする課題】

典型的なMRAMでは、TMR素子103の第2方向Yに沿った幅WY-TMRよりも第1の電流磁界配線101の幅WY-WLが広く、また、TMR103の第1方向Xに沿った幅WX-TMRよりも第2の電流磁界配線102の幅WX-BLが広い。これはTMR素子103を、ホトリソグラフィ法を用いて加工するためである。ホトリソグラフィ法においては、マスクの合わせずれが存在する。合わせずれの量は、現状、数10nm程度ある。

【0008】

TMR103を、第1の電流磁界配線101と第2の電流磁界配線102との交差部から外れないように加工するには、幅WY-WLに、TMR素子103の位置ずれを考慮した合わせ余裕MYを付加する必要がある。同様に、幅WX-BLにも合わせ余裕MXが付加される。

【0009】

このような事情は、MRAMの1ビット当たりのセルサイズを縮小し、より大規模なメモリを形成しようとする際の障害となる。

【0010】

また、MRAMのデバイス・パラメータの一つに、磁化反転しきい値Hswがある。磁化反転しきい値Hswは、強磁性体のスピンの向きが反転し出す磁界の強さであり、例えばデータ書き込み時に、TMR素子103に与える磁界の強さを決めるパラメータの一つである。

【0011】

磁化反転しきい値Hswの変動幅が大きいと、データ書き込み時に誤書き込みが誘発されることがある。磁化反転しきい値Hswは、TMR素子103の形状によって変動する。このため、MRAMを製造する上で、磁化反転しきい値Hswの制御、特に磁化反転しきい値Hswの変動幅を小さく抑えることが重要である。

【0012】

また、磁化反転しきい値H_{s w}は小さい方が良い。磁化反転しきい値H_{s w}が小さいと、データ書き込みに必要な電流の量を下げる事ができる、例えばMRA Mチップの消費電力を少なくできる、という利点があるからである。また、データ書き込みに必要な電流の量が下がれば、例えば電流磁界の影響や耐圧に関する影響も少なくなるため、MRAMチップの回路設計上でも有利である。

【0013】

TMR素子103の平面形状は、図42Aに示すように長方形が理想的である。しかし、TMR素子103の微細化が進むと、現実的には図42Bに示すように、TMR素子103の四隅が丸くなり、さらに図42Cに示すように橢円形に近づいていく。この原因の一つは、例えばホトリソグラフィ法で、TMR素子103毎に各々孤立した微細島状パターンを作ることにある。

【0014】

TMR素子103の平面形状が理想的な形状から外れていく結果、磁化反転しきい値H_{s w}は上昇する。さらに、TMR素子103の平面形状にも大きなばらつきが生ずるため、磁化反転しきい値H_{s w}の変動幅を小さく抑えることも難しくなる。

【0015】

この発明は、上記の事情に鑑み為されたもので、その目的は、磁化反転しきい値の上昇の抑制、及び磁化反転しきい値の変動幅の拡大をともに抑えることができ、また、微細化も可能となる磁気抵抗効果素子を有する半導体集積回路装置及びその製造方法を提供することにある。

【0016】

【課題を解決するための手段】

上記目的を達成するために、この発明の第1態様に係る半導体集積回路装置は、第1方向に延びる第1の配線と、前記第1方向に交差する第2方向に延びる第2の配線と、少なくとも第1の磁性層、非磁性層、第2の磁性層を含む磁気抵抗効果素子とを具備する。そして、前記磁気抵抗効果素子の平面形状は、前記第1の配線と前記第2の配線との交差部の平面形状に一致することを特徴とする。

【0017】

また、この発明の第2態様に係る半導体集積回路装置は、第1方向に延びる第1の配線と、前記第1方向に交差する第2方向に延びる第2の配線と、少なくとも第1の磁性層、非磁性層、第2の磁性層を含む磁気抵抗効果素子とを具備する。そして、前記磁気抵抗効果素子は、磁性層を含む磁気記録層と、非磁性層を含むトンネル障壁層と、磁性層を含む磁化固着層とを含むTMR素子であり、少なくとも前記磁気記録層の平面形状が前記第1の配線と前記第2の配線との交差部の平面形状に一致し、少なくとも前記磁化固着層の平面形状が前記第1の配線の平面形状に一致することを特徴とする。

【0018】

また、この発明の第3態様に係る半導体集積回路装置の製造方法は、半導体基板上に第1の絶縁層を形成し、前記第1の絶縁層上に第1の導電層を形成し、前記第1の導電層上に少なくとも第1の磁性層、非磁性層、第2の磁性層を含む磁気抵抗効果素子層を形成し、前記磁気抵抗効果素子層及び前記第1の導電層を、第1の配線パターンに応じたパターンを持つマスクを用いて加工し、前記加工された前記磁気抵抗効果素子層上及び前記第1の絶縁層上に第2の絶縁層を形成し、前記第2の絶縁層をその上面と前記磁気抵抗効果素子層の上面とが同一平面上に露出するように平坦化し、前記第2の絶縁層上及び前記磁気抵抗効果素子層上に第2の導電層を形成し、前記第2の導電層及び前記磁気抵抗効果素子層を、第2の配線パターンに応じたパターンを持つマスクを用いて加工する。

【0019】

また、この発明の第4態様に係る半導体集積回路装置の製造方法は、半導体基板上に第1の絶縁層を形成し、前記第1の絶縁層上に第1の導電層を形成し、前記第1の導電層上に整流性素子層及び少なくとも第1の磁性層、非磁性層、第2の磁性層を含む磁気抵抗効果素子層を含む複合層を形成し、前記複合層及び前記第1の導電層を、第1の配線パターンに応じたパターンを持つマスクを用いて加工し、前記第1のパターン上及び前記第1の絶縁層上に第2の絶縁層を形成し、前記第2の絶縁層をその上面と前記複合層の上面とが同一平面上に露出するよう平坦化し、前記第2の絶縁層上及び前記複合層上に第2の導電層を形成し、前記第2の導電層及び前記複合層を、第2の配線パターンに応じたパターンを持つ

マスクを用いて加工する。

【0020】

また、この発明の第5態様に係る半導体集積回路装置の製造方法は、半導体基板上に第1の絶縁層を形成し、前記第1の絶縁層上に第1の導電層を形成し、前記第1の導電層上に少なくとも第1の磁性層、非磁性層、第2の磁性層を含む磁気抵抗効果素子層を形成し、前記磁気抵抗効果素子層及び前記第1の導電層を、第1の配線パターンに応じたパターンを持つマスクを用いて加工し、前記加工された磁気抵抗効果素子層上及び前記第1の絶縁層上に第2の絶縁層を形成し、前記第2の絶縁層をその上面と前記磁気抵抗効果素子層の上面とが同一平面上に露出するように平坦化し、前記第2の絶縁層上及び前記磁気トンネル接合層上に第2の導電層を形成し、前記第2の導電層上に第3の絶縁層を形成し、前記第3の絶縁層上に第3の導電層を形成し、前記第3の導電層、前記第3の絶縁層、前記第2の導電層及び前記磁気抵抗効果素子層を、第2の配線パターンに応じたパターンを持つマスクを用いて加工する。

【0021】

また、この発明の第6態様に係る半導体集積回路装置の製造方法は、半導体基板上に第1の絶縁層を形成し、前記第1の絶縁層上に第1の導電層を形成し、前記第1の導電層上に整流性素子層及び少なくとも第1の磁性層、非磁性層、第2の磁性層を含む磁気抵抗効果素子層を含む複合層を形成し、前記複合層及び前記第1の導電層を、第1の配線パターンに応じたパターンを持つマスクを用いて加工し、前記加工された複合層上及び前記第1の絶縁層上に第2の絶縁層を形成し、前記第2の絶縁層をその上面と前記複合層の上面とが同一平面上に露出するよう平坦化し、前記第2の絶縁層上及び前記磁気抵抗効果素子層上に第2の導電層を形成し、前記第2の導電層上に第3の絶縁層を形成し、前記第3の絶縁層上に第3の導電層を形成し、前記第3の導電層、前記第3の絶縁層、前記第2の導電層及び前記複合層を、第2の配線パターンに応じたパターンを持つマスクを用いて加工する。

【0022】

また、この発明の第7態様に係る半導体集積回路装置の製造方法は、絶縁ゲー

ト型電界効果トランジスタが形成された半導体基板上に第1の絶縁層を形成し、前記第1の絶縁層を平坦化し、前記第1の絶縁層上に第1の導電層を形成し、前記第1の導電層上に少なくとも第1の磁性層、非磁性層、第2の磁性層を含む磁気抵抗効果素子層を形成し、前記磁気抵抗効果素子層及び前記第1の導電層を、第1の配線パターンに応じたパターンを持つマスクを用いて加工し、前記加工された磁気抵抗層上及び前記第1の絶縁層上に第2の絶縁層を形成し、前記第2の絶縁層をその上面と前記磁気抵抗効果素子層の上面とが同一平面上に露出するように平坦化し、前記第2の絶縁層及び前記第1の絶縁層を貫通して、前記絶縁ゲートト型電界効果トランジスタのソース又はドレインに電気的に接続されるヴィアを形成し、前記第2の絶縁層上及び前記磁気抵抗効果素子層上に第2の導電層を形成し、前記第2の導電層を前記磁気抵抗効果素子と前記ヴィアとに接するパターンに加工し、前記加工された第2の導電層上及び前記第2の絶縁層上に第3の絶縁層を形成し、前記第3の絶縁層上に第3の導電層を形成し、前記第3の導電層、前記第3の絶縁層、前記第2の導電層及び前記磁気抵抗効果素子層を、第2の配線パターンに応じたパターンを持つマスクを用いて加工する。

【0023】

【発明の実施の形態】

以下、この発明の実施形態を、図面を参照して説明する。この説明に際し、全図にわたり、共通する部分には共通する参照符号を付す。

【0024】

(第1の実施形態)

図1Aはこの発明の第1の実施形態に係る磁気ランダムアクセスメモリ(MRAM)を示す平面図、図1Bは図1A中の1B-1B線に沿う断面図、図1Cは図1A中の1C-1C線に沿う断面図である。

【0025】

図1A～図1Cに示すように、第1の実施形態に係るMRAMは、第1の方向Xに延びる第1の電流磁界配線1と、第1の方向Xに交差する、例えば直交する第2の方向Yに延びる第2の電流磁界配線2とを有する。第1の電流磁界配線1と第2の電流磁界配線2との交差部各々には、磁気抵抗効果素子3が一つずつ配

置されてメモリセルアレイを構成する。本例では、磁気抵抗効果素子3の平面形状は、上記交差部の平面形状に一致する。磁気抵抗効果素子3の一例は、磁気トンネル接合（Tunneling Magneto-Resistive: TMR）を含むTMR素子である。TMR素子は、磁性層例えば強磁性層を含む磁気記録層と、非磁性層を含むトンネル障壁層と、磁性層例えば強磁性層を含む磁化固定層とを含む。

【0026】

図1A～図1Cに示すMRAMは、クロスポイント型と呼ばれるMRAMであり、磁気抵抗効果素子3の下面には第1の電流磁界配線1とのコンタクトが有り、その上面には第2の電流磁界配線2とのコンタクトが有る。本例では、第1の電流磁界配線1は、読み出し／書き込みワード線（デジット線と呼ばれることがある）として機能し、第2の電流磁界配線2は、ビット線として機能する。もちろん、第1の電流磁界配線1をビット線として機能させ、第2の電流磁界配線2を読み出し／書き込みワード線として機能させることも可能である。

【0027】

磁気抵抗効果素子3は、例えば第1、第2の電流磁界配線1、2を1本ずつ選択することで選択され、これによって、任意のビットの磁気抵抗効果素子3に対してデータ読み出しあるいはデータ書き込みが為される。具体的には、データ読み出しは、例えば一対の第1、第2の電流磁界配線1、2を選択し、選択した一対の第1、第2の電流磁界配線1、2間に流れる電流の大小を検知することで為される。データ読み出しの際、選択していないセルにも読み出し電流が流れる。これを漏れ電流という。漏れ電流を抑制し、読み出しシグナルマージン、例えば読み出し時のS/N比を向上させるために、例えば選択されていない第1、第2の電流磁界配線1、2の電位を調整し、選択されていない第1、第2の電流磁界配線1、2に流れ込む電流を抑制するようにしても良い。

【0028】

また、データ書き込みは、例えば一対の第1、第2の電流磁界配線1、2を選択し、選択された一対の第1、第2の電流磁界配線1、2に電流を流す。そして、電流により発生する磁界が選択された一対の第1、第2の電流磁界配線1、2の交差部で強くなることを利用し、この交差部に位置する磁気抵抗効果素子3に

対してデータを書き込む。

【0029】

次に、この発明の第1の実施形態に係るMRAMの一製造方法例について説明する。

【0030】

図2～図7はこの発明の第1の実施形態に係る磁気ランダムアクセスメモリの一製造方法例を示す斜視図である。

【0031】

まず、図2に示すように、半導体基板、例えばシリコン基板10上に、第1の絶縁層11を形成する。第1の絶縁層11の一材料例は、二酸化シリコン膜である。なお、基板10上には、例えば通常のCMOSプロセスを用いて形成された絶縁ゲート型電界効果トランジスタ、例えばMOSFETが複数形成されており、各種の機能回路を構成している。なお、複数のMOSFETについては特に図示はしない。次いで、第1の絶縁層11を、複数のMOSFETによって生じた段差を吸収するように、その表面を、例えばCMP法を用いて平坦化する。次いで、第1の絶縁層11上に、第1の導電層12を形成する。第1の導電層12は、第1の電流磁界配線1となる層であり、その一材料例は、Alである。次いで、第1の導電層12上に、少なくとも第1の磁性層13、非磁性層14、第2の磁性層15を含む磁気抵抗効果素子層16を形成する。第1の磁性層13は、本例では磁化固定層となる層であり、例えば強磁性体が用いられる。強磁性体の一材料例は、NiFeである。非磁性層14はトンネル障壁層となる層であり、例えば非磁性体が用いられる。非磁性体の一材料例は、Al₂O₃である。第2の磁性層15は、本例磁気記録層となる層であり、例えば強磁性体が用いられる。強磁性体の一材料例は、NiFeである。

【0032】

次に、図3に示すように、磁気抵抗効果素子層16及び第1の導電層12を、第1の電流磁界配線パターンに応じたパターンを持つマスクを用いて加工する。加工の一例は、まず、磁気抵抗効果素子層16上に、ハードマスク層（図示せず）を形成する。次いで、ハードマスク層上に、ホトレジスト層（図示せず）を形

成する。次いで、通常のホトリソグラフィ法を用いて、ホトレジスト層を、第1の電流磁界配線パターンに応じたパターンに加工する。次いで、加工されたホトレジスト層のパターンを、ハードマスク層に、例えばRIE法を用いて転写、即ちハードマスク層を、ホトレジスト層のパターンに合わせてパターニングする。次いで、パターニングされたハードマスク層をエッティングのマスクに用いて、例えばArガスを用いたイオンミーリング法によって、磁気抵抗効果素子層16及び第1の導電層12をエッティングする。

【0033】

次に、図4に示すように、加工された磁気抵抗効果素子層16上及び第1の絶縁層11上に、第2の絶縁層18を形成する。次いで、第2の絶縁層18を、その上面と磁気抵抗効果素子層16の上面とが同一平面上に露出するように、例えばCMP法を用いて平坦化する。平坦化の際、例えばハードマスク層をCMPのストッパー層として用いると、CMPの際のダメージが、磁気抵抗効果素子層16に直接に加わらない、という利点を得ることができる。ハードマスク層に絶縁性材料を用いた場合には、平坦化後に除去する。また、ハードマスク層に導電性材料を用いた場合には、平坦化後そのまま残すこともできる。残されたハードマスク層は、後に形成される第2の電流磁界配線と磁気抵抗効果素子層16とのコントクト材料として活用することが可能である。

【0034】

次に、図5に示すように、第2の絶縁層18上及び磁気抵抗効果素子層16上に、第2の導電層19を形成する。第2の導電層19は、第1の電流磁界配線2となる層であり、その一材料例は、A1である。

【0035】

次に、図6及び図7に示すように、第2の導電層19及び磁気抵抗効果素子層16を、第2の電流磁界配線パターンに応じたパターンを持つマスクを用いて加工する。加工の一例は、通常のホトリソグラフィ法を用いて、ホトレジスト層を、第2の電流磁界配線パターンに応じたパターンに加工する。次いで、加工されたホトレジスト層のパターンをエッティングのマスクに用いて、第2の導電層18をホトレジスト層のパターンに合わせてパターニングする。引き続き、ホトレジ

スト層及び加工された第2の導電層19をエッティングのマスクに用いて、磁気抵抗効果素子層16を加工する。これにより、第2の導電層19は、第2の電流磁界配線2となり、第1の導電層12は、第1の電流磁界配線1となる。そして、第1の電流磁界配線1と第2の電流磁界配線2との交差部に、この交差部の平面形状に一致した平面形状を有する磁気抵抗効果素子3が得られる。

【0036】

最後に、図6に示した構造上に、第3の絶縁層を形成することで、第1の実施形態に係るMRAMのメモリセルアレイ部が完成する。

【0037】

上記第1の実施形態であると、磁気抵抗効果素子3の平面形状が、第1の電流磁界配線1と第2の電流磁界配線2との交差部の平面形状に一致する。交差部の平面形状は長方形にできる。このため、例えば四隅が丸まった磁気抵抗効果素子や平面形状が楕円形となった磁気抵抗効果素子に比べて、磁化反転しきい値Hswを小さくすることが可能となる。

【0038】

また、磁気抵抗効果素子3を加工する際、第2の電流磁界配線2のパターンをエッティングのマスクに用いる。このため、磁気抵抗効果素子3毎に各々孤立した微細島状パターンを作らずに済む。また、第2の電流磁界配線2のパターンは、微細島状パターンに比べて形状変動が少ないライン・アンド・スペースパターンである。よって、磁気抵抗効果素子3の平面形状のばらつきを小さくすることができ、磁化反転しきい値の変動幅の拡大も抑えることができる。

【0039】

さらに、第1の電流磁界配線1の幅及び第2の電流磁界配線2の幅に、それぞれ合わせ余裕を付加せずに済む。本例では、磁気抵抗効果素子3の第2方向Yに沿った幅WY-TMRは、第1の電流磁界配線1の第2方向Yに沿った幅WY-WLに等しい。磁気抵抗効果素子3の第1方向Xに沿った幅WX-TMRは、第2の電流磁界配線2の第1方向Xに沿った幅WX-BLと等しい。よって、セルレイアウトの更なる高密度化や、セルサイズの更なる微細化も可能となる。

【0040】

また、磁気抵抗効果素子3のためのホトリソグラフィ工程を省略できる。このため、製造工程を短縮できる、という利点もある。

【0041】

(第2の実施形態)

図8Aはこの発明の第2の実施形態に係る磁気ランダムアクセスメモリを示す平面図、図8Bは図8A中の8B-8B線に沿う断面図、図8Cは図8A中の8C-8C線に沿う断面図である。

【0042】

図8A～図8Cに示すように、第2の実施形態に係るMRAMは、上記第1の実施形態に係るMRAMの磁気抵抗効果素子3に、整流性素子21を積層したものである。整流性素子21は磁気抵抗効果素子3に直列接続されている。直列接続された整流性素子21及び磁気抵抗効果素子3は、第1の電流磁界配線1と第2の電流磁界配線2との間に直列に接続される。整流性素子21は、データ書き込みの際、選択したセルのみにデータ書き込みを行い、あるいはデータ読み出しの際、選択したセルのみに電流を流してデータ読み出しを行う機能を持つ。

【0043】

さらに、整流性素子21を設けることによって、例えばデータ読み出しの際に、選択していないセルに流れる漏れ電流を抑制することもできる。これにより、クロスポイント型と呼ばれるMRAMにおいて、読み出しシグナルマージン、例えば読み出し時のS/N比を向上させることができる。これにより、読み出し動作の信頼性が向上すると同時に、読み出し動作の高速化を図ることが可能である。

【0044】

具体的な一例としては、整流性素子21の整流性を利用し、図9Aに示すように、選択したセル以外は逆バイアスとなるように、選択していない第1、第2の電流磁界配線1、2のバイアスを制御することが可能である。これにより、選択していないセルに流れる漏れ電流を抑制することができる。整流性素子21の一例はダイオードである。さらにダイオードの一例はショットキーダイオードである。

【0045】

また、整流性素子21のアノードは、図9Bに示すように、磁気抵抗効果素子3側に配置されても良い。

【0046】

さらに、整流性素子21は、図9C、図9Dに示すように、磁気抵抗効果素子3と第1の電流磁界配線1との間に配置されても良い。

【0047】

次に、この発明の第2の実施形態に係るMRAMの一製造方法例について説明する。なお、以下の説明では、第1の実施形態に係るMRAMの一製造方法例と、同様の部分については説明を簡略化し、異なる部分を中心に説明する。

【0048】

図10～図15はこの発明の第2の実施形態に係る磁気ランダムアクセスメモリの一製造方法例を示す斜視図である。

【0049】

まず、図10に示すように、半導体基板、例えばシリコン基板10上に、第1の絶縁層11を形成する。次いで、第1の実施形態と同様に、第1の絶縁層11を、複数のMOSFETによって生じた段差を吸収するように、その表面を、例えばCMP法を用いて平坦化する。次いで、第1の絶縁層11上に、第1の導電層12を形成する。次いで、第1の導電層12上に、少なくとも第1の磁性層13、非磁性層14、第2の磁性層15を含む磁気抵抗効果素子層16及び整流性素子層22を含む複合層23を形成する。本例では、第1の導電層12上に磁気抵抗効果素子層16を形成し、磁気抵抗効果素子層16上に整流性素子層22を形成する例を示す。しかし、例えば図9C、図9Dに示した変形例に合致するように、第1の導電層12上に整流性素子層22を形成し、整流性素子層22上に磁気抵抗効果素子層16を形成しても良い。整流性素子層22は、カソード層24とアノード層25とを含む。本例では、磁気抵抗効果素子層16上にカソード層24を形成し、カソード層24上にアノード層25を形成する例を示す。しかし、図9Bに示した変形例に合致するように、磁気抵抗効果素子層16上にアノード層25を形成し、アノード層25上にカソード層24を形成しても良い。さ

らに図9Cに示した変形例に合致するように、第1の導電層12上にカソード層24を形成し、カソード層24上にアノード層25を形成し、アノード層25上に磁気抵抗効果素子層16を形成しても良い。さらに図9Dに示した変形例に合致するように、第1の導電層12上にアノード層25を形成し、アノード層25上にカソード層24を形成し、カソード層24上に磁気抵抗効果素子層16を形成しても良い。カソード層24の一材料例は金属、あるいはN型半導体である。アノード層25の一材料例は、上記金属とショットキ接触するP型半導体、あるいはN型半導体とショットキ接触する金属である。これにより、本例の整流性素子層22はダイオード、あるいはショットキーダイオードを含む。半導体の一材料例はシリコンである。本例では、特にアモルファスシリコンを形成した。また、金属の材料例は、Ni、Pt、Mgである。

【0050】

次に、図11に示すように、複合層23及び第1の導電層12を、第1の電流磁界配線パターンに応じたパターンを持つマスクを用いて加工する。加工の一例は、まず、複合層23上に、ハードマスク層（図示せず）を形成する。次いで、ハードマスク層上に、ホトレジスト層（図示せず）を形成する。次いで、通常のホトリソグラフィ法を用いて、ホトレジスト層を、第1の電流磁界配線パターンに応じたパターンに加工する。次いで、加工されたホトレジスト層のパターンを、ハードマスク層に、例えばRIE法を用いて転写、即ちハードマスク層を、ホトレジスト層のパターンに合わせてパターニングする。次いで、パターニングされたハードマスク層をエッチングのマスクに用いて、例えばArガスを用いたイオンミーリング法によって、複合層23及び第1の導電層12をエッチングする。

【0051】

次に、図12に示すように、第1の絶縁層11上及び加工された複合層23上に、第2の絶縁層18を形成する。次いで、第2の絶縁層18を、その上面と複合層23の上面とが同一平面上に露出するように、例えばCMP法を用いて平坦化する。平坦化の際、例えばハードマスク層をCMPのストッパー層として用いると、CMPの際のダメージが、複合層23に直接に加わらない、という利点を

得ることができる。ハードマスク層に絶縁性材料を用いた場合には、平坦化後に除去する。また、ハードマスク層に導電性材料を用いた場合には、平坦化後そのまま残すこともできる。残されたハードマスク層は、後に形成される第2の電流磁界配線と複合層23とのコンタクト材料として活用することが可能である。

【0052】

次に、図13に示すように、第2の絶縁層18上及び複合層23上に、第2の導電層19を形成する。

【0053】

次に、図14及び図15に示すように、第2の導電層19及び複合層23を、第2の電流磁界配線パターンに応じたパターンを持つマスクを用いて加工する。加工の一例は、通常のホトリソグラフィ法を用いて、ホトレジスト層を、第2の電流磁界配線パターンに応じたパターンに加工する。次いで、加工されたホトレジスト層のパターンをエッチングのマスクに用いて、第2の導電層19をホトレジスト層のパターンに合わせてパターニングする。引き続き、ホトレジスト層及び加工された第2の導電層19をエッチングのマスクに用いて、複合層23を加工する。これにより、第2の導電層19は第2の電流磁界配線2となり、第1の導電層12は第1の電流磁界配線1となる。また、整流性素子層22は整流性素子21となり、磁気抵抗効果素子層16は磁気抵抗効果素子3となる。このようにして、第1の電流磁界配線1と第2の電流磁界配線2との交差部に、この交差部の平面形状に一致した平面形状を有する磁気抵抗効果素子3および整流性素子21が得られる。

【0054】

最後に、図15に示した構造上に、第3の絶縁層を形成することで、第2の実施形態に係るMRAMのメモリセルアレイ部が完成する。

【0055】

上記第2の実施形態においても、上記第1の実施形態と同様の効果を得ることができる。

【0056】

(第3の実施形態)

図16Aはこの発明の第3の実施形態に係る磁気ランダムアクセスメモリを示す平面図、図16Bは図16A中の16B-16B線に沿う断面図、図16Cは図16A中の16C-16C線に沿う断面図である。

【0057】

図16A～図16Cに示すように、第3の実施形態に係るMRAMは、上記第2の実施形態に係るMRAMの第2の電流磁界配線2に加え、データ読み出し時に用いる読み出し配線31を設けたものである。第2の電流磁界配線2は、データ書き込み時に書き込み磁界を与える配線として使用される。読み出し配線31を設けることで、データ書き込み時に大きな電流が磁気抵抗効果素子3に直接流れ込むことを防止できる。このため、第2の実施形態による利点に加えて、例えば磁気抵抗効果素子3の早期劣化を抑制できる、という利点を得ることができる。

【0058】

もちろん、第3の実施形態は第1の実施形態と組み合わせることが可能である。

【0059】

次に、この発明の第3の実施形態に係るMRAMの一製造方法例について説明する。なお、以下の説明では、第2の実施形態に係るMRAMの一製造方法例と、同様の部分については説明を簡略化し、異なる部分を中心に説明する。

【0060】

図17～図22はこの発明の第3の実施形態に係る磁気ランダムアクセスメモリの一製造方法例を示す斜視図である。

【0061】

まず、図17に示すように、半導体基板、例えばシリコン基板10上に、第1の絶縁層11を形成する。次いで、第2の実施形態と同様に、第1の絶縁層11を、複数のMOSFETによって生じた段差を吸収するように、その表面を、例えばCMP法を用いて平坦化する。次いで、第1の絶縁層11上に、第1の導電層12を形成する。次いで、第1の導電層12上に、少なくとも第1の磁性層13、非磁性層14、第2の磁性層15を含む磁気抵抗効果素子層16及び整流性

素子層22を含む複合層23を形成する。なお、整流性素子層22は形成しなくても良い。この場合には、第3の実施形態を第1の実施形態に組み合わせたMRAMを得ることができる。

【0062】

次に、図18に示すように、複合層23及び第1の導電層12を、第1の配線パターンに応じたパターンを持つマスクを用いて加工する。

【0063】

次に、図19に示すように、加工された複合層23及び第1の絶縁層11上に、第2の絶縁層18を形成する。次いで、第2の絶縁層18を、その上面と複合層23の上面とが同一平面上に露出するように、例えばCMP法を用いて平坦化する。

【0064】

次に、図20に示すように、第2の絶縁層18上及び複合層23上に、第2の導電層32を形成する。第2の導電層32は、読み出し配線31となる層であり、その一材料例は、Taである。また、その厚みの一例は50nmである。次いで、第2の導電層32上に、第3の絶縁層33を形成する。第3の絶縁層33は、読み出し配線31と、第2の電流磁界配線2とを絶縁する層であり、その一材料例は、SiO₂である。また、その厚みの一例は50nmである。次いで、第3の絶縁層33上に、第3の導電層34を形成する。第3の導電層34は、第2の電流磁界は配線となる層であり、その一材料例は、Alである。

【0065】

次に、図21及び図22に示すように、第3の導電層34、第3の絶縁層33、第2の導電層32及び複合層23を、第2の電流磁界配線パターンに応じたパターンを持つマスクを用いて加工する。加工の一例は、通常のホトリソグラフィ法を用いて、ホトレジスト層を、第2の電流磁界配線パターンに応じたパターンに加工する。次いで、加工されたホトレジスト層のパターンをエッチングのマスクに用いて、第3の導電層34をホトレジスト層のパターンに合わせてパターンングする。引き続き、ホトレジスト層及び加工された第3の導電層34をエッチングのマスクに用いて、第3の絶縁層33、第2の導電層32、及び複合層23

を加工する。これにより、第3の導電層34は、第2の電流磁界配線2となり、第2の導電層32は読み出し配線31となり、第1の導電層12は、第1の電流磁界配線1となる。そして、第1の電流磁界配線1と第2の電流磁界配線2との交差部に、この交差部の平面形状に一致した平面形状を有する磁気抵抗効果素子3および整流性素子21が得られる。

【0066】

最後に、図22に示した構造上に、第4の絶縁層を形成することで、第3の実施形態に係るMRAMのメモリセルアレイ部が完成する。

【0067】

上記第3の実施形態においても、上記第1、第2の実施形態と同様の効果を得ることができる。

【0068】

(第4の実施形態)

図23Aはこの発明の第4の実施形態に係る磁気ランダムアクセスメモリを示す平面図、図23Bは図23A中の23B-23B線に沿う断面図、図23Cは図23A中の23C-23C線に沿う断面図である。

【0069】

また、図24はこの発明の第4の実施形態に係る磁気ランダムアクセスメモリの等価回路図である。

【0070】

図23A、図23B、図23C及び図24に示すように、第4の実施形態に係る磁気ランダムアクセスメモリは、1つの磁気抵抗効果素子3と1つのセルトランジスタ41とを含む1磁気抵抗効果素子-1トランジスタ型のメモリセルを持つ。セルトランジスタ41のゲートGは、読み出しワード線RWLに接続される。本例の読み出しワード線RWLは、第2の方向Yに沿って形成されている。セルトランジスタ41のソースSは、ソース線SLに接続され、例えば接地される。セルトランジスタのドレインDは、引き出し電極42の一端に接続される。引き出し電極42の他端は、磁気抵抗効果素子3の一端に接続される。磁気抵抗効果素子3の一端は、例えば磁化固定層である。磁気抵抗効果素子3の他端は、第

1の電流磁界配線1に接続される。本例の第1の電流磁界配線1はビット線として機能し、第1の方向Xに沿って形成されている。磁気抵抗効果素子3の他端は、例えば磁気記録層である。本例の磁気抵抗効果素子3は第1の電流磁界配線1上に形成され、かつ引き出し電極42下に形成される。引き出し電極42上には絶縁層43が形成され、絶縁層43上には第2の電流磁界配線2が形成されている。本例の第2の電流磁界配線2は、書き込みワード線と機能し、第2の方向Yに沿って形成されている。

【0071】

データ書き込み時、図24中に矢印で示すように、第1の電流磁界配線1、第2の電流磁界配線2に同時に書き込み電流を流す。そして、交点にある磁気抵抗効果素子3にデータを書き込む。

【0072】

データ読み出し時、選択されたセルトランジスタを導通させる。これにより、図24中に点線で示すように、第1の電流磁界配線1からソース線SLに向かって読み出し電流が流れる。この読み出し電流の値を、第1の電流磁界配線1に接続された、例えばセンスアンプ（図示せず）で判定することになる。

【0073】

第4の実施形態では、磁気抵抗効果素子3をビット線（第1の電流磁界配線1）上に形成し、かつ引き出し電極42下に形成する。これにより、磁気抵抗効果素子3を引き出し電極42上に形成し、かつビット線下に形成したMRAMに比較して、書き込みワード線を磁気抵抗効果素子3に、より近づけることができる、という利点がある。書き込みワード線が磁気抵抗効果素子3に、より近づくことで、書き込み磁界を磁気抵抗効果素子3に与えやすくなり、データを書き込み易くすることができる。

【0074】

また、引き出し電極42下に磁気抵抗効果素子3を形成するので、引き出し電極42の加工に際し、磁気抵抗効果素子3の加工の影響が及ばない。このため、引き出し電極42を薄くすることができる。さらには引き出し電極42の厚さの変動も抑制される。これにより、ビット線ーセルトランジスタ間の抵抗値のバラ

ツキも抑制することが可能となる。よって、例えばデータ読み出しに関する信頼性も向上する。

【0075】

さらに、メモリセル各々にセルトランジスタがある。このセルトランジスタによって、データ読み出し時、任意に選択したメモリセルからの電流を、他のメモリセルからの電流と分離することができる。このため、読み出しシグナルマージン、例えば読み出し時のS/N比を向上させることができる。これにより、読み出し動作の信頼性が向上すると同時に、読み出し動作の高速化を図ることが可能である。

【0076】

次に、この発明の第4の実施形態に係るMRAMの一製造方法例について説明する。なお、以下の説明では、第1の実施形態に係るMRAMの一製造方法例と、同様の部分については説明を簡略化し、異なる部分を中心に説明する。

【0077】

図25～図38はこの発明の第4の実施形態に係る磁気ランダムアクセスメモリの一製造方法例を示す斜視図である。

【0078】

まず、図25に示すように、半導体基板、例えばP型のシリコン基板10に、素子分離領域に対応したシャロートレンチを形成する。次いで、シャロートレンチ内を絶縁物、例えばSiO₂で埋め込み、素子分離領域（シャロートレンチアイソレーション：STI）44を形成する。これにより、基板10に、素子領域45が区画される。次いで、シリコン基板10の表面、特に素子領域45の表面を熱酸化し、ゲート絶縁膜（SiO₂）46を形成する。次いで、基板10及び素子分離領域44上に導電性ポリシリコンを堆積し、導電性ポリシリコン膜を形成する。次いで、導電性ポリシリコン膜をパターニングし、ゲート電極47を形成する。次いで、ゲート電極47及び素子分離領域44をマスクに用いて、N型不純物、例えば砒素又はリンを基板10にイオン注入し、さらに拡散させて、N型ソース／ドレイン領域48を形成する。

【0079】

次に、図26に示すように、図25に示した構造上に、絶縁物、例えばSiO₂を堆積し、第1層層間絶縁膜11-1を形成する。次いで、第1層層間絶縁膜11-1に、N型ソース／ドレイン領域48に達する開孔を形成する。次いで、開孔内を導電物、例えばタンゲステン等のメタルで埋め込み、第1層メタル基板ヴィア49を形成する。

【0080】

次に、図27に示すように、図26に示した構造上に、絶縁物、例えばSiO₂を堆積し、第2層層間絶縁膜11-2を形成する。次いで、第2層層間絶縁膜8に、コンタクト49に達する第1層メタル配線用トレンチを形成する。次いで、配線用トレンチ内を導電物、例えばタンゲステン等のメタルで埋め込み、第1層メタル層50からなる配線を形成する。これにより、本例では、配線のうち、ソース線となる配線50-1、ヴィアに接続される配線50-2が形成される。

【0081】

次に、図28に示すように、図27に示した構造上に、絶縁物、例えばSiO₂を堆積し、第3層層間絶縁膜11-3を形成する。次いで、第3層層間絶縁膜11-3上に、第2層メタル12を形成する。次いで、第2層メタル12上に、少なくとも第1の磁性層13、非磁性層14、第2の磁性層15を含む磁気抵抗効果素子層16を形成する。

【0082】

次に、図29に示すように、磁気抵抗効果素子層16及び第2層メタル12を、第1の電流磁界配線パターンに応じたパターンを持つマスクを用いて加工する。

【0083】

次に、図30に示すように、第3層層間絶縁膜11-3及び加工された磁気抵抗効果素子層16上に、第4層間絶縁膜18を形成する。次いで、第4層層間絶縁膜18を、その上面と複合層23の上面とが同一平面上に露出するように、例えばCMP法を用いて平坦化する。

【0084】

次に、図31に示すように、第4層層間絶縁膜12及び第3層層間絶縁膜11

-3に、配線50-2に達する開孔を形成する。次いで、開孔内を導電物、例えばタンゲスチン等のメタルで埋め込み、第1層メタル-エキストラメタルヴィア51を形成する。

【0085】

次に、図32に示すように、図31に示した構造上に、導電物、例えばタンゲスチンを堆積し、エキストラメタル層52を形成する。

【0086】

次に、図33に示すように、エキストラメタル層52を、磁気抵抗効果素子層16とヴィア51とに接するパターンに加工する。

【0087】

次に、図34に示すように、第4層層間絶縁膜18上、磁気抵抗効果素子層16上、及び加工されたエキストラメタル層52上に、第5層層間絶縁膜53-1を形成する。次いで、第5層層間絶縁膜53-1を、その上面とエキストラメタル層の上面とが同一平面上に露出するように、例えばCMP法を用いて平坦化する。

【0088】

次に、図35に示すように、図34に示した構造上に、第6層層間絶縁膜53-2を形成する。次いで、第6層層間絶縁膜53-2上に、第3層メタル54を形成する。

【0089】

次に、図36～図38に示すように、第3層メタル54を、第2の電流磁界配線パターンに応じたパターンを持つマスクを用いて加工する。加工の一例は、通常のホトリソグラフィ法を用いて、ホトレジスト層を、第2の電流磁界配線パターンに応じたパターンに加工する。次いで、加工されたホトレジスト層のパターンをエッティングのマスクに用いて、第3層メタル54をホトレジスト層のパターンに合わせてパターニングする。引き続き、ホトレジスト層及び加工された第3層メタル54をエッティングのマスクに用いて、第6層層間絶縁膜53-2、第5層層間絶縁膜53-1をエッティングする。引き続き、エッティングを行い、磁気抵抗効果素子層16を加工する。これにより、第3層メタル54は第2の電流磁界配線2となり、エキストラメタル層52は引き出し電極42となる。また、磁気抵抗

効果素子層16は磁気抵抗効果素子3となり、第2層メタル12は第1の電流磁界配線1となる。このようにして、第1の電流磁界配線1と第2の電流磁界配線2との交差部に、この交差部の平面形状に一致した平面形状を有する磁気抵抗効果素子3が得られる。

【0090】

最後に、図38に示した構造上に、第7層層間絶縁膜を形成することで、第4の実施形態に係るMRAMのメモリセルアレイ部が完成する。

【0091】

上記第4の実施形態においても、上記第1、第2、第3の実施形態と同様の効果を得ることができる。

【0092】

(第5の実施形態)

図39Aはこの発明の第5の実施形態に係る磁気ランダムアクセスメモリの一製造方法例を示す斜視図、図39Bは図39A中の39-39線に沿う断面図である。

【0093】

図39A及び図39Bに示すように、磁気抵抗効果素子層16を加工する際、第1の磁性層13及び第2の磁性層15の一方のみを加工し、非磁性層14で加工を止めることも可能である。例えば磁気抵抗効果素子層16は、磁気記録層、トンネル障壁層、磁化固定層を含む磁気トンネル接合層であるとき、磁気記録層を加工し、トンネル障壁層で加工を止める。これにより、第5の実施形態に係るMRAMでは、少なくとも磁気記録層の平面形状が第1の電流磁界配線1と第2の電流磁界配線2との交差部の平面形状に一致し、少なくとも磁化固定層の平面形状が第1の電流磁界配線の平面形状に一致する。

【0094】

このような第5の実施形態であると、磁気抵抗効果素子層16を加工する際、第1の磁性層13及び第2の磁性層15の一方のみを加工し、非磁性層14で加工を止める。このため、磁気抵抗効果素子層16を加工する際、第1の電流磁界配線1まで加工、例えばエッチングされてしまうことを抑制できる、という利点

を得ることができる。

【0095】

〔磁気抵抗効果素子の例〕

〔第1の例〕

第1～第5の実施形態にて説明した磁気抵抗効果素子3には、TMR素子を使うことができる。以下TMR素子の幾つかの例について説明する。

【0096】

図40Aは、TMR素子の第1の例を示す断面図である。

【0097】

図40Aに示すように、下地層150上には、反強磁性層151、強磁性層152、トンネル障壁層153、強磁性層154及び保護層155が順次形成されている。

【0098】

本例では、強磁性層152がスピンの向きが固定される磁化固着層として機能し、強磁性層154がスピンの向きが変化される磁気記録層として機能する。反強磁性層151は、強磁性層152のスピンの向きを固定する層である。磁化固着層として機能する強磁性層152のスピンの向きは、例えば反強磁性層151を用いて固定しても良い。

【0099】

なお、下地層151は、例えば強磁性層や反強磁性層を形成し易くしたり、保護したりするための層であり、必要に応じて設けられる。保護層155は、例えば強磁性層や反強磁性層を保護するための層であり、下地層151と同様、必要に応じて設けられる。保護層155は、例えば第1の実施形態等で説明したハーフマスク層を利用して形成されても良い。

【0100】

これら下地層151及び保護層155に関する事項は、以下に説明する第2～第4の例においても同様である。

【0101】

強磁性層152、154の材料例としては、下記の材料を挙げることができる

【0102】

Fe、Co、Ni、またはそれらの合金

スピニ分極率の大きいマグнетタイト

CrO_2 、 R XMnO_3-y 等の酸化物 (R: 希土類、X: Ca、Ba、Sr)

NiMnSb、PtMnSb等のホイスラー合金 (Heusler alloy)

なお、上記強磁性体152、154の材料例において、例えば強磁性を失わない範囲内で、非磁性元素が含まれていても良い。

【0103】

非磁性元素の例としては、下記の元素を挙げることができる。

【0104】

Ag、Cu、Au、Al、Mg、Si、Bi、Ta、B、C、O、N、

Pd、Pt、Zr、Ir、W、Mo、Nb

強磁性層152、154の厚さの例は、強磁性層152、154が超常磁性 (super-paramagnetic) にならない程度の厚さ以上にすることである。具体的な一例は、強磁性層152、154の厚さを0.4 nm以上とする。また、強磁性層152、154の厚さの上限は特に無いが、例えばTMR素子の作製上100 nm以下が良い。

【0105】

反強磁性層151の材料例としては、下記の材料を挙げることができる。

【0106】

Fe-Mn、Pt-Mn、Pt-Cr-Mn、Ni-Mn、Ir-Mn、NiO、

Fe_2O_3

トンネル障壁層153の材料例としては、下記の材料を挙げることができる。

【0107】

Al_2O_3 、 SiO_2 、 MgO 、 AlN 、 Bi_2O_3 、 MgF_2 、 CaF_2 、

SrTiO_2 、 AlLaO_3

なお、上記トンネル障壁層153の材料例において、例えば絶縁性を失わない範囲内で、酸素、窒素及びフッ素の少なくともいずれか一つをさらに含んでいて

も良く、例えば絶縁性を失わない範囲内で、酸素、窒素及びフッ素の少なくともいずれか一つが欠損していても良い。

【0108】

トンネル障壁層153の厚さは、薄い方が良いが、特に制限はない。敢えて一例を示すならば、トンネル障壁層153の厚さを10nm以下とする。これは、TMR素子の作製上の観点からである。

【0109】

〔第2の例〕

図40Bは、TMR素子の第2の例を示す断面図である。

【0110】

第2の例に係るTMR素子は、ダブルジャンクション型と呼ばれているTMR素子である。

【0111】

図40Bに示すように、下地層150上には、反強磁性層151-1、強磁性層152-1、トンネル障壁層153-1、強磁性層154、トンネル障壁層153-2、強磁性層152-2、反強磁性層151-2、及び保護層155が順次形成されている。

【0112】

本例では、強磁性層152-1、152-2が磁化固定層として機能し、強磁性層154が磁気記録層として機能する。反強磁性層151-1は、強磁性層152-1のスピンの向きを固定する層であり、反強磁性層151-2は、強磁性層152-2のスピンの向きを固定する層である。

【0113】

本例のようなダブルジャンクション型のTMR素子は、例えば図40Aに示すTMR素子（シングルジャンクション型）に比較して、低抵抗時における抵抗値と高抵抗時における抵抗値との比、いわゆるMR比（magneto-resistance ratio）をさらに大きくできる、という利点がある。

【0114】

反強磁性層151-1、151-2、強磁性層152-1、152-2、154、及び

トンネル障壁層153-1、153-2それぞれの材料例は、上記第1の例で説明した通りである。

【0115】

また、強磁性層151-1、151-2、54それぞれの厚さの例は、上記第1の例で説明した通りである。

【0116】

また、トンネル障壁層153-1、153-2の材料例、及び厚さの例は、上記第1の例で説明した通りである。

【0117】

〔第3の例〕

図40Cは、TMR素子の第3の例を示す断面図である。

【0118】

図40Cに示すように、第3の例に係るTMR素子は、第1の例に係るTMR素子の強磁性層152、154を、強磁性層と非磁性層とのスタック構造としたものである。スタック構造の例としては、本例のように、強磁性層／非磁性層／強磁性層の三層膜を挙げることができる。本例では、強磁性層152が強磁性層161／非磁性層162／強磁性層163の三層膜とされ、強磁性層154が強磁性層164／非磁性層165／強磁性層166の三層膜とされている。

【0119】

強磁性層161、163、164、166の材料例は、上記第1の例で説明した通りである。

【0120】

非磁性層162、165の材料例は、下記の材料を挙げることができる。

【0121】

Ru、Ir

強磁性層／非磁性層／強磁性層の三層膜の具体的な例を挙げるとするならば、下記の例を挙げることができる。

【0122】

Co/Ru/Co、Co/Ir/Co

Co-Fe/Ru/Co-Fe, Co-Fe/Ir/Co-Fe

磁化固定層として機能する強磁性層152をスタック構造とした場合、例えば強磁性層161／非磁性層162／強磁性層163の三層膜とした場合、強磁性層161と強磁性層163との間に、非磁性層162を介して反強磁性結合を生じさせるのが良い。さらに上記三層膜に接して反強磁性層151を設ける。このような構造とすることで、磁化固定層として機能する強磁性層152、特に強磁性層163のスピンの向きをより固く固定できる、という利点を得ることができる。この利点により、強磁性層152、特に強磁性層163は、電流磁界の影響を受け難くなり、磁化固定層として機能する強磁性層152のスpinの向きが、不慮に反転することを抑制することができる。

【0123】

また、磁気記録層として機能する強磁性層154をスタック構造とした場合、例えば強磁性層164／非磁性層165／強磁性層166の三層膜とした場合にも、強磁性層164と強磁性層166との間に、非磁性層165を介して反強磁性結合を生じさせておくのが良い。この場合、磁束が上記三層膜内で閉じるので、例えば磁極に起因したスイッチング磁界の増大を抑制することができる。この結果、例えばメモリセルの大きさ、あるいはTMR素子の大きさがサブミクロン以下になっても、例えば反磁界による電流磁界に起因した消費電力の増大を抑えくことができる、という利点を得ることができる。

【0124】

また、磁気記録層として機能する強磁性層154は、ソフト強磁性層と強磁性層とのスタック構造とすることも可能である。ここで述べるソフト強磁性層とは、例えば強磁性層に比較して、スpinの向きがより反転し易い層のことである。

【0125】

強磁性層154を、ソフト強磁性層と強磁性層とのスタック構造とした場合、電流磁場配線、例えばビット線に近い方に、ソフト強磁性層が配置される。

【0126】

このスタック構造には、非磁性層をさらに含ませることも可能である。例えば本例のように、強磁性層164／非磁性層165／強磁性層166の三層膜であ

る場合、例えば強磁性層166を、ソフト強磁性層とすることもできる。

【0127】

本例では、強磁性層152、154それぞれをスタック構造としているが、強磁性層152のみ、あるいは強磁性層154のみをスタック構造としても良い。

【0128】

【第4の例】

図40Dは、TMR素子の第4の例を示す断面図である。

【0129】

図40Dに示すように、第4の例に係るTMR素子は、第2の例に係るTMR素子の強磁性層152-1、154、152-2を、第3の例で述べたスタック構造とした例である。

【0130】

本例では、強磁性層152-1が強磁性層161-1／非磁性層162-1／強磁性層163-1の三層膜とされ、強磁性層154が強磁性層164／非磁性層165／強磁性層166の三層膜とされ、強磁性層152-2が強磁性層161-2／非磁性層162-2／強磁性層163-2の三層膜とされている。

【0131】

強磁性層161-1、161-2、163-1、163-2、164、166の材料例は、上記第1の例で説明した通りである。

【0132】

非磁性層162-1、162-2、165の材料例は、上記第3の例で説明した通りである。

【0133】

本例では、強磁性層152-1、154、152-2それぞれをスタック構造としているが、少なくともいずれか一層のみをスタック構造としても良い。

【0134】

以上、この発明を第1～第5の実施形態により説明したが、この発明は、これら実施形態それに限定されるものではなく、その実施にあたっては、発明の要旨を逸脱しない範囲で種々に変形することが可能である。

【0135】

また、上記第1～第5の実施形態はそれぞれ、単独で実施することが可能であるが、適宜組み合わせて実施することも、もちろん可能である。

【0136】

また、上記第1～第5の実施形態には、種々の段階の発明が含まれており、各実施形態において開示した複数の構成要件の適宜な組み合わせにより、種々の段階の発明を抽出することも可能である。

【0137】

また、上記第1～第5の実施形態では、この発明を磁気ランダムアクセスメモリに適用した例に基づき説明したが、上記磁気ランダムアクセスメモリを内蔵した半導体集積回路装置、例えばプロセッサ、システムLSI等もまた、この発明の範疇である。

【0138】

【発明の効果】

以上説明したように、この発明によれば、磁化反転しきい値の上昇の抑制、及び磁化反転しきい値の変動幅の拡大とともに抑えることができ、また、微細化も可能となる磁気抵抗効果素子を有する半導体集積回路装置及びその製造方法を提供できる。

【図面の簡単な説明】

【図1】

図1Aはこの発明の第1の実施形態に係る磁気ランダムアクセスメモリを示す平面図、図1Bは図1A中の1B-1B線に沿う断面図、図1Cは図1A中の1C-1C線に沿う断面図

【図2】

図2はこの発明の第1の実施形態に係る磁気ランダムアクセスメモリの一製造方法例を示す斜視図

【図3】

図3はこの発明の第1の実施形態に係る磁気ランダムアクセスメモリの一製造方法例を示す斜視図

【図4】

図4はこの発明の第1の実施形態に係る磁気ランダムアクセスメモリの一製造方法例を示す斜視図

【図5】

図5はこの発明の第1の実施形態に係る磁気ランダムアクセスメモリの一製造方法例を示す斜視図

【図6】

図6はこの発明の第1の実施形態に係る磁気ランダムアクセスメモリの一製造方法例を示す斜視図

【図7】

図7はこの発明の第1の実施形態に係る磁気ランダムアクセスメモリの一製造方法例を示す斜視図

【図8】

図8Aはこの発明の第2の実施形態に係る磁気ランダムアクセスメモリを示す平面図、図8Bは図8A中の8B-8B線に沿う断面図、図8Cは図8A中の8C-8C線に沿う断面図

【図9】

図9Aは第2の実施形態に係る磁気ランダムアクセスメモリのメモリセルアレイの等価回路図、図9Bは第2の実施形態の第1変形例の等価回路図、図9Cは第2の実施形態の第2変形例の等価回路図、図9Dは第2の実施形態の第3変形例の等価回路図

【図10】

図10はこの発明の第2の実施形態に係る磁気ランダムアクセスメモリの一製造方法例を示す斜視図

【図11】

図11はこの発明の第2の実施形態に係る磁気ランダムアクセスメモリの一製造方法例を示す斜視図

【図12】

図12はこの発明の第2の実施形態に係る磁気ランダムアクセスメモリの一製

造方法例を示す斜視図

【図13】

図13はこの発明の第2の実施形態に係る磁気ランダムアクセスメモリの一製造方法例を示す斜視図

【図14】

図14はこの発明の第2の実施形態に係る磁気ランダムアクセスメモリの一製造方法例を示す斜視図

【図15】

図15はこの発明の第2の実施形態に係る磁気ランダムアクセスメモリの一製造方法例を示す斜視図

【図16】

図16Aはこの発明の第3の実施形態に係る磁気ランダムアクセスメモリを示す平面図、図16Bは図16A中の16B-16B線に沿う断面図、図16Cは図16A中の16C-16C線に沿う断面図

【図17】

図17はこの発明の第3の実施形態に係る磁気ランダムアクセスメモリの一製造方法例を示す斜視図

【図18】

図18はこの発明の第3の実施形態に係る磁気ランダムアクセスメモリの一製造方法例を示す斜視図

【図19】

図19はこの発明の第3の実施形態に係る磁気ランダムアクセスメモリの一製造方法例を示す斜視図

【図20】

図20はこの発明の第3の実施形態に係る磁気ランダムアクセスメモリの一製造方法例を示す斜視図

【図21】

図21はこの発明の第3の実施形態に係る磁気ランダムアクセスメモリの一製造方法例を示す斜視図

【図22】

図22はこの発明の第3の実施形態に係る磁気ランダムアクセスメモリの一製造方法例を示す斜視図

【図23】

図23Aはこの発明の第4の実施形態に係る磁気ランダムアクセスメモリを示す平面図、図23Bは図23A中の23B-23B線に沿う断面図、図23Cは図23A中の23C-23C線に沿う断面図

【図24】

図24はこの発明の第4の実施形態に係る磁気ランダムアクセスメモリの等価回路図

【図25】

図25はこの発明の第4の実施形態に係る磁気ランダムアクセスメモリの一製造方法例を示す斜視図

【図26】

図26はこの発明の第4の実施形態に係る磁気ランダムアクセスメモリの一製造方法例を示す斜視図

【図27】

図27はこの発明の第4の実施形態に係る磁気ランダムアクセスメモリの一製造方法例を示す斜視図

【図28】

図28はこの発明の第4の実施形態に係る磁気ランダムアクセスメモリの一製造方法例を示す斜視図

【図29】

図29はこの発明の第4の実施形態に係る磁気ランダムアクセスメモリの一製造方法例を示す斜視図

【図30】

図30はこの発明の第4の実施形態に係る磁気ランダムアクセスメモリの一製造方法例を示す斜視図

【図31】

図31はこの発明の第4の実施形態に係る磁気ランダムアクセスメモリの一製造方法例を示す斜視図

【図32】

図32はこの発明の第4の実施形態に係る磁気ランダムアクセスメモリの一製造方法例を示す斜視図

【図33】

図33はこの発明の第4の実施形態に係る磁気ランダムアクセスメモリの一製造方法例を示す斜視図

【図34】

図34はこの発明の第4の実施形態に係る磁気ランダムアクセスメモリの一製造方法例を示す斜視図

【図35】

図35はこの発明の第4の実施形態に係る磁気ランダムアクセスメモリの一製造方法例を示す斜視図

【図36】

図36はこの発明の第4の実施形態に係る磁気ランダムアクセスメモリの一製造方法例を示す斜視図

【図37】

図37はこの発明の第4の実施形態に係る磁気ランダムアクセスメモリの一製造方法例を示す斜視図

【図38】

図38はこの発明の第4の実施形態に係る磁気ランダムアクセスメモリの一製造方法例を示す斜視図

【図39】

図39Aはこの発明の第5実施形態に係る磁気ランダムアクセスメモリの一製造方法例を示す斜視図、図39Bは図39A中の39-39線に沿う断面図

【図40】

図40Aは磁気抵抗効果素子の第1例を示す断面図、図40Bは磁気抵抗効果素子の第2例を示す断面図、図40Cは磁気抵抗効果素子の第3例を示す断面図

、図40Cは磁気抵抗効果素子の第4例を示す断面図

【図41】

図41Aは典型的な磁気ランダムアクセスメモリを示す平面図、図41Bは図41A中の41B-41B線に沿う断面図、図41Cは図41A中の41C-41C線に沿う断面図

【図42】

図42A、図42B、図42Cはそれぞれ磁気抵抗効果素子の平面形状を示す平面図

【符号の説明】

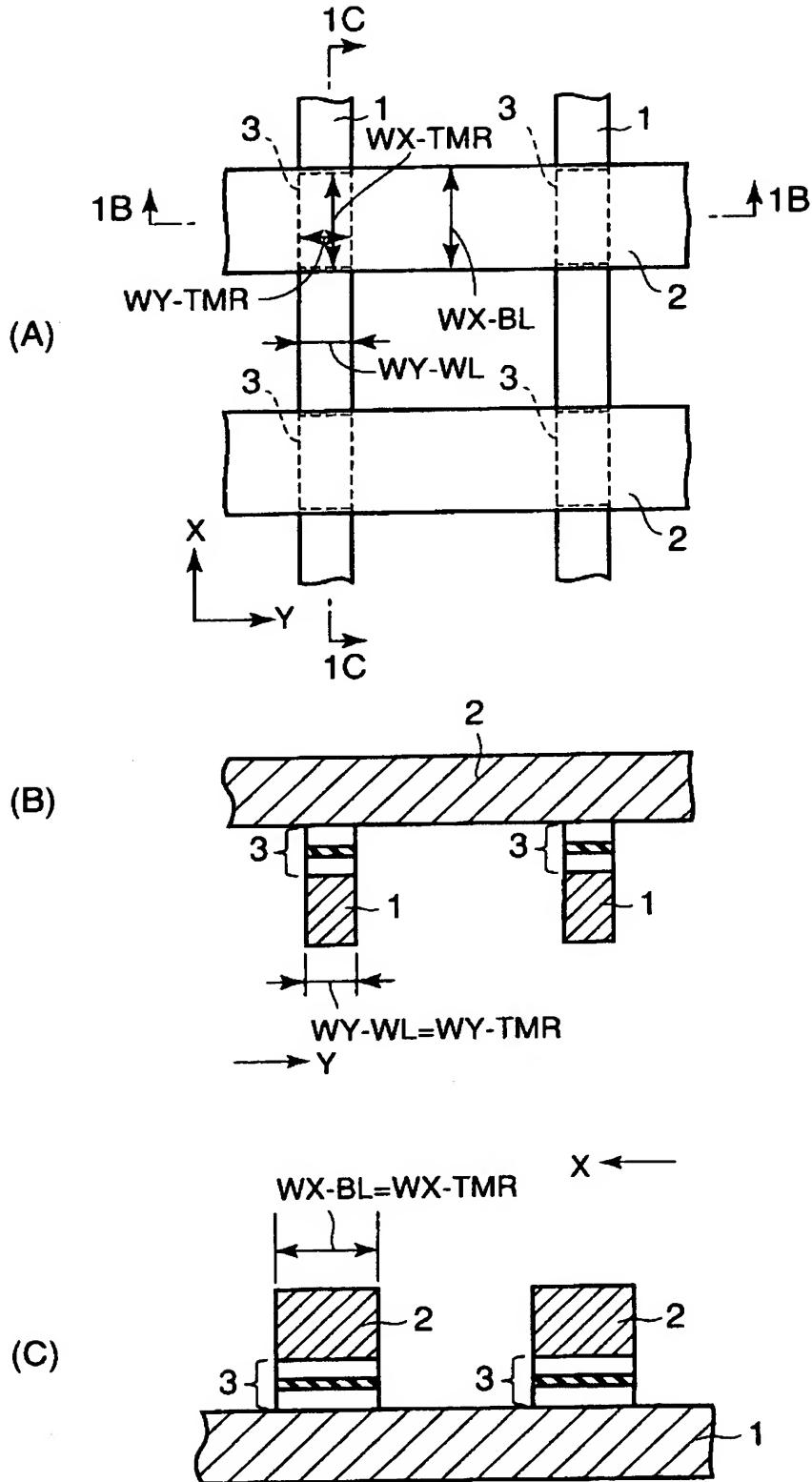
- 1 … 第1の電流磁界配線
- 2 … 第2の電流磁界配線
- 3 … 磁気抵抗効果素子
- 10 … シリコン基板
- 11 … 第1の絶縁層
- 12 … 第1の導電層
- 13 … 第1の磁性層
- 14 … 第2の磁性層
- 15 … 第3の磁性層
- 16 … 磁気抵抗効果素子層
- 18 … 第2の絶縁層
- 19 … 第2の導電層
- 21 … 整流性素子
- 22 … 整流性素子層
- 23 … 複合層
- 24 … カソード層
- 25 … アノード層
- 31 … 読み出し配線
- 33 … 第3の絶縁層
- 34 … 第4の導電層

特2002-230126

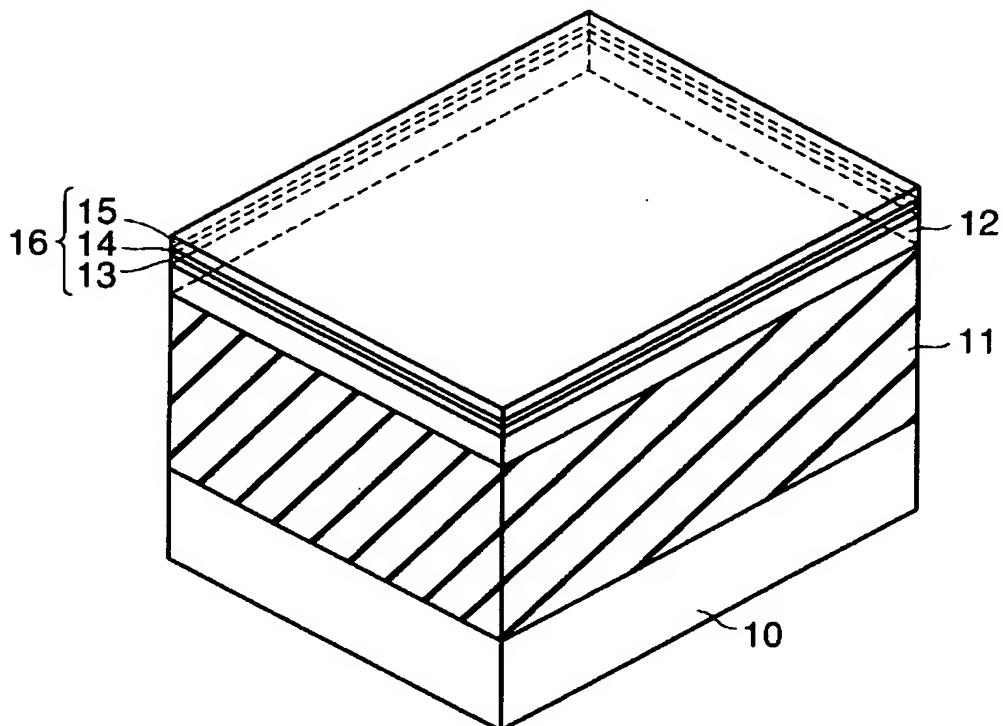
41…引き出し電極

【書類名】図面

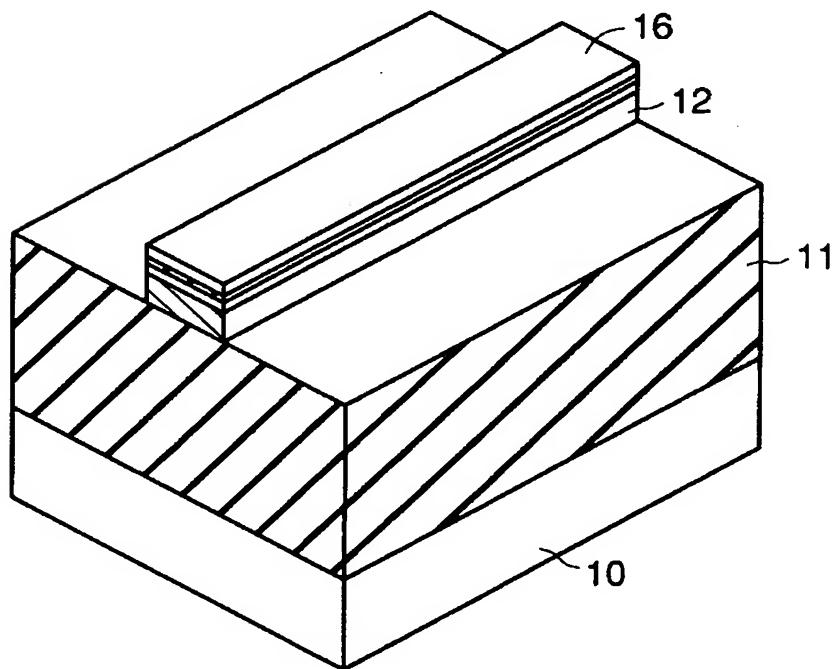
【図1】



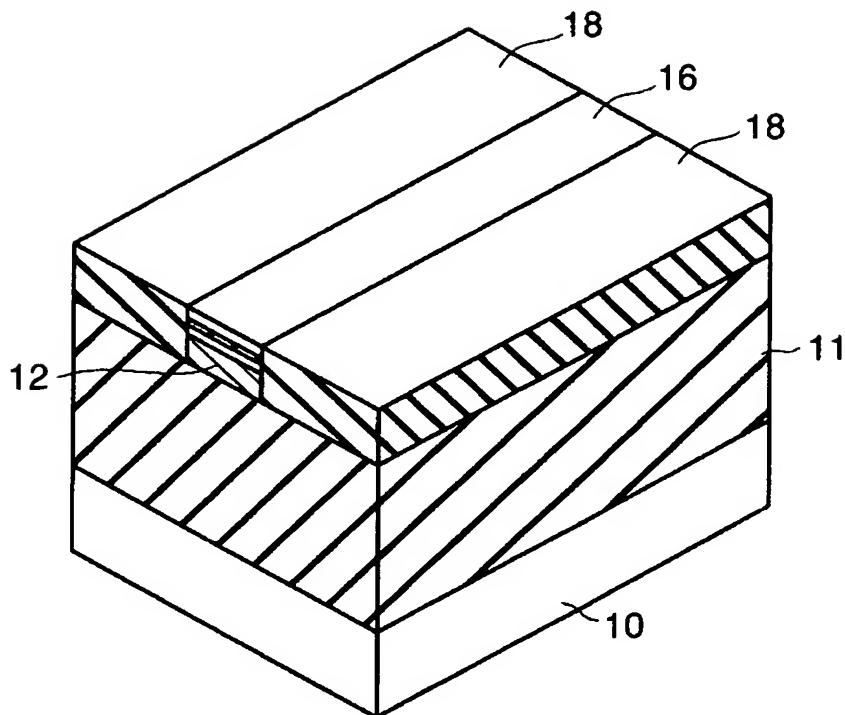
【図2】



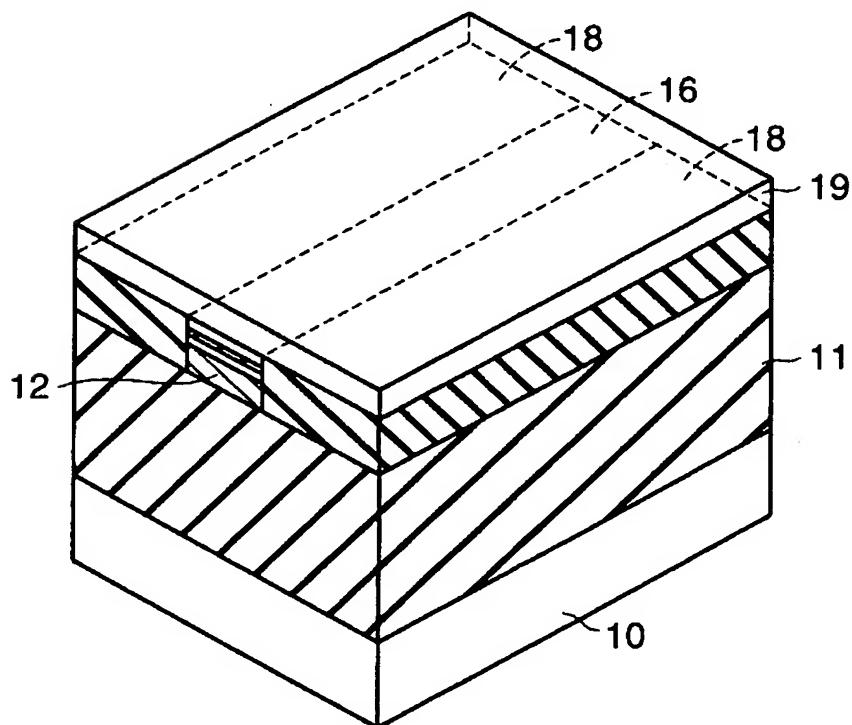
【図3】



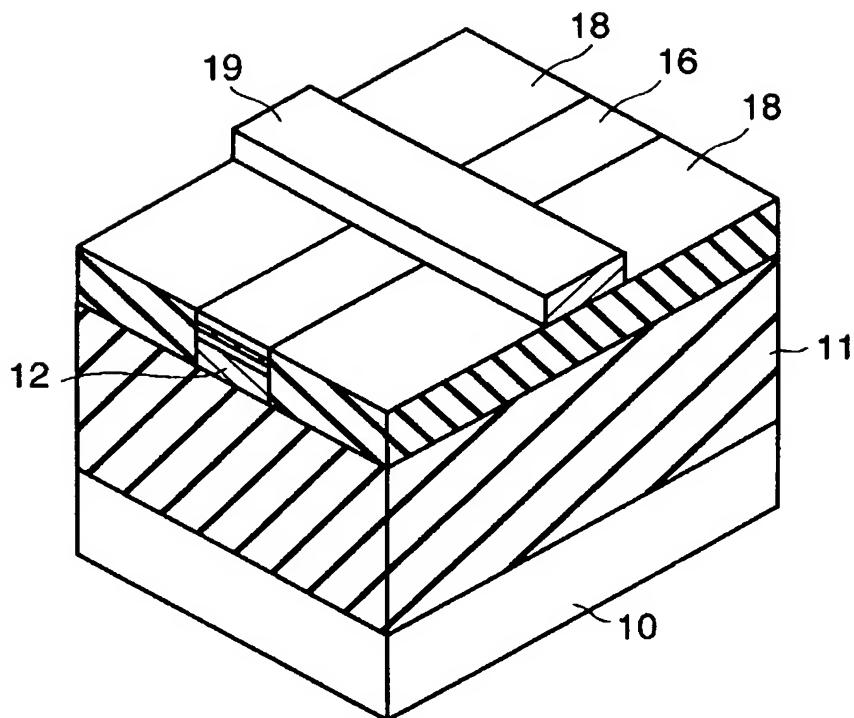
【図4】



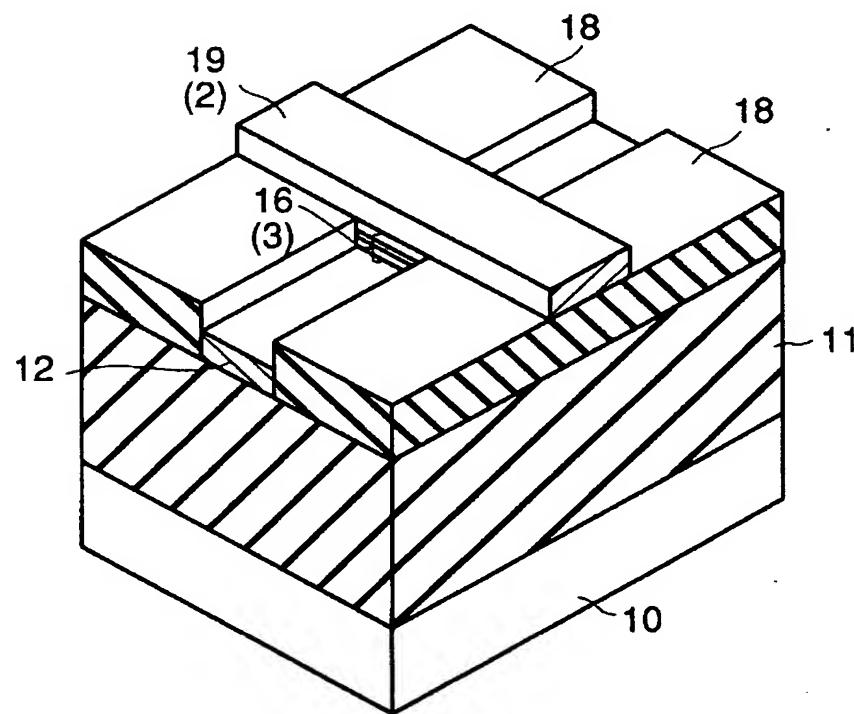
【図5】



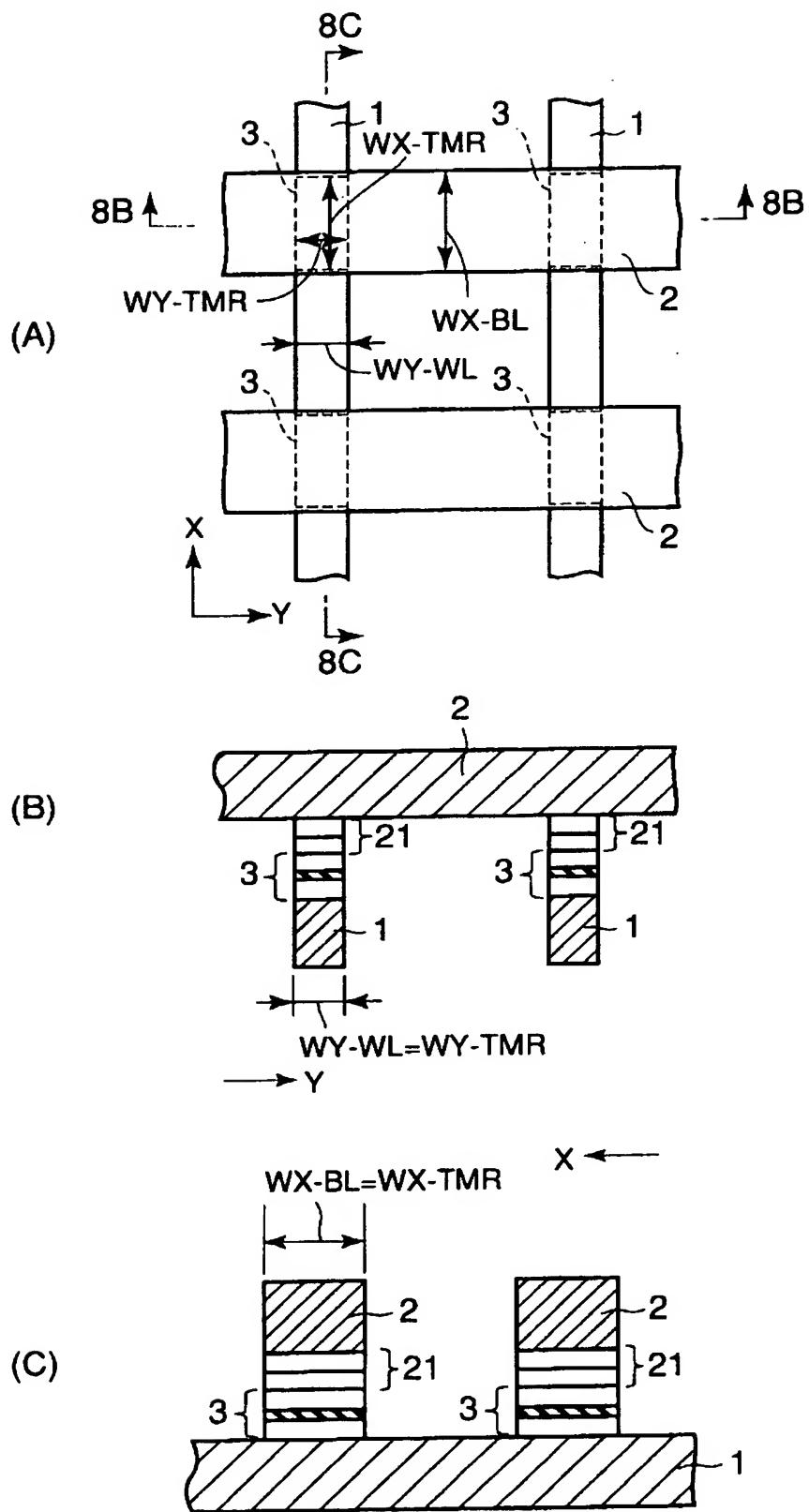
【図6】



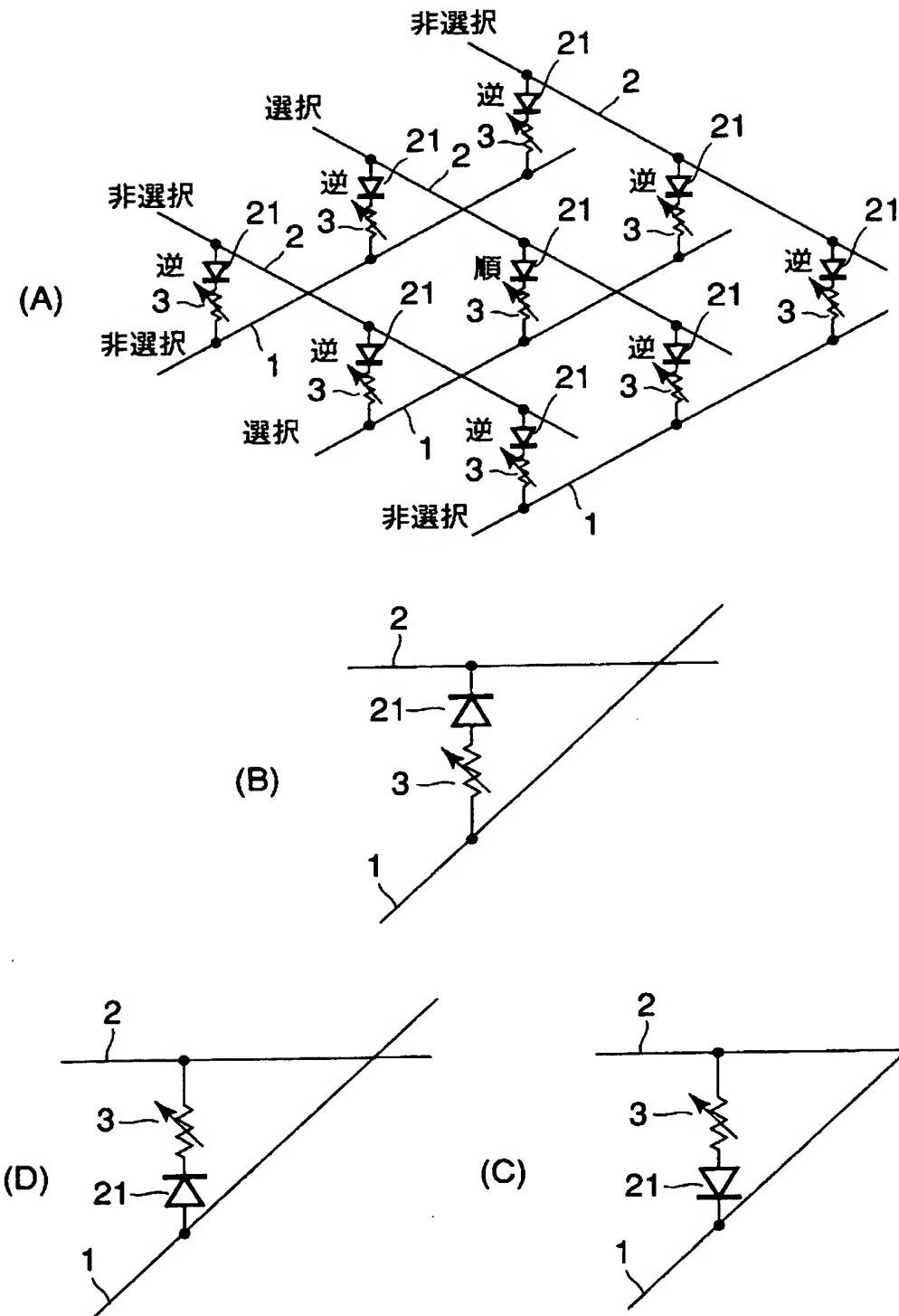
【図7】



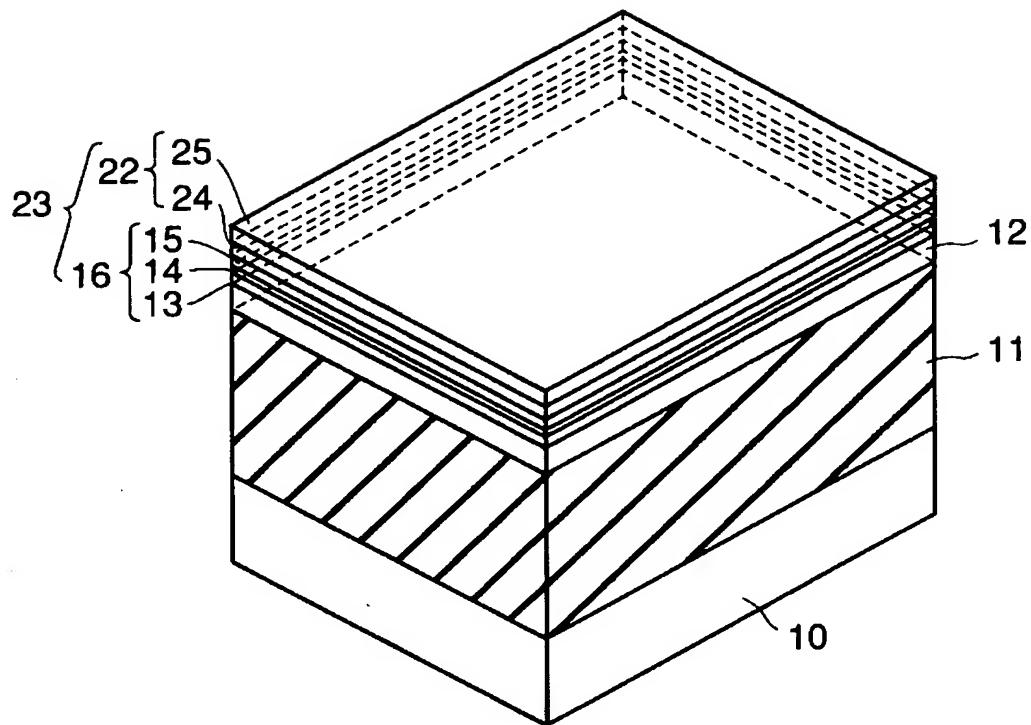
【図8】



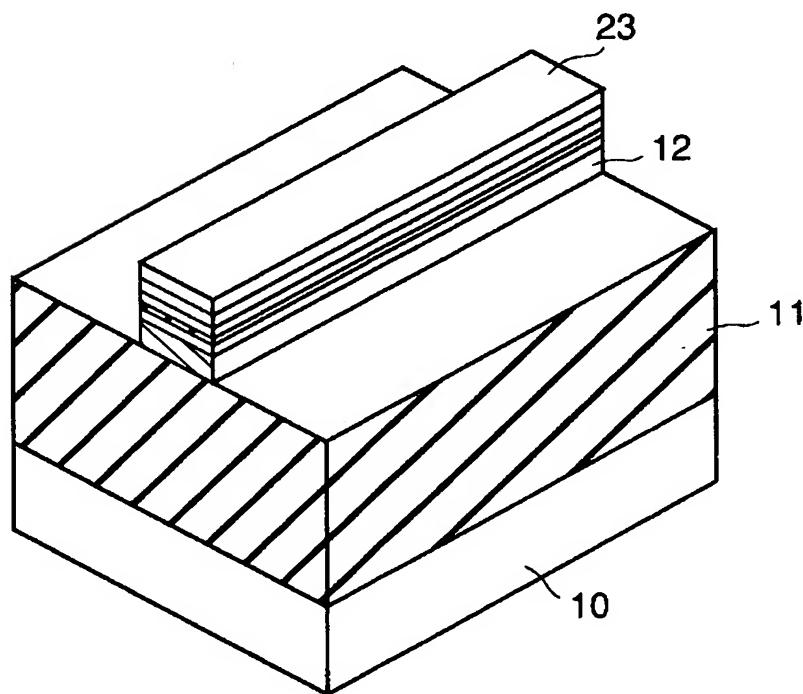
【図9】



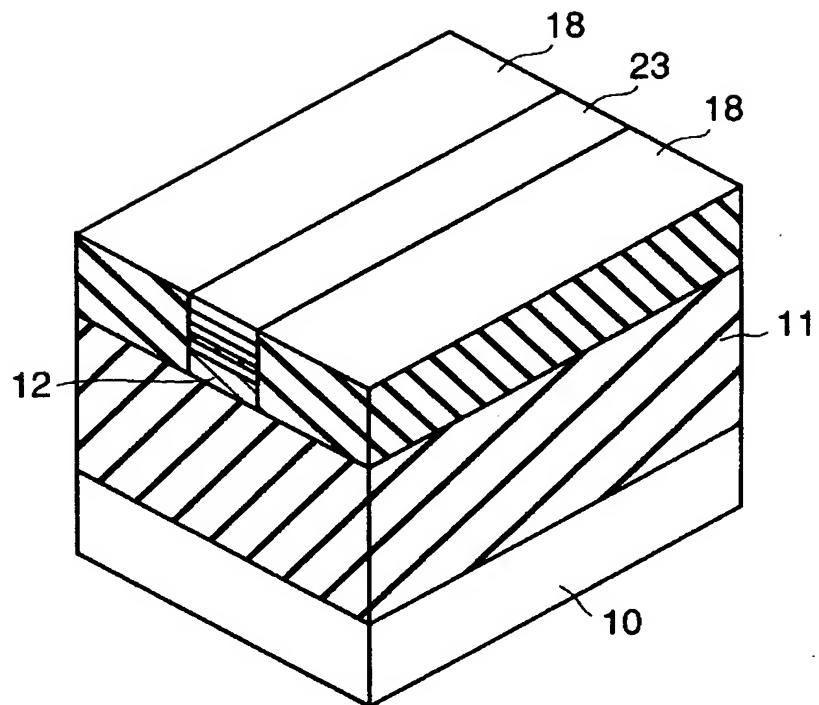
【図10】



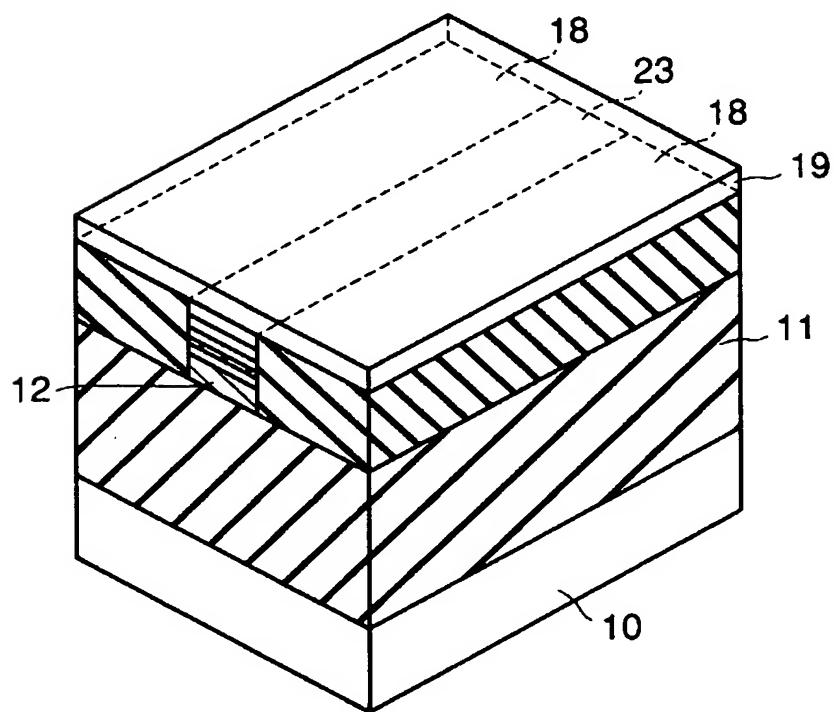
【図11】



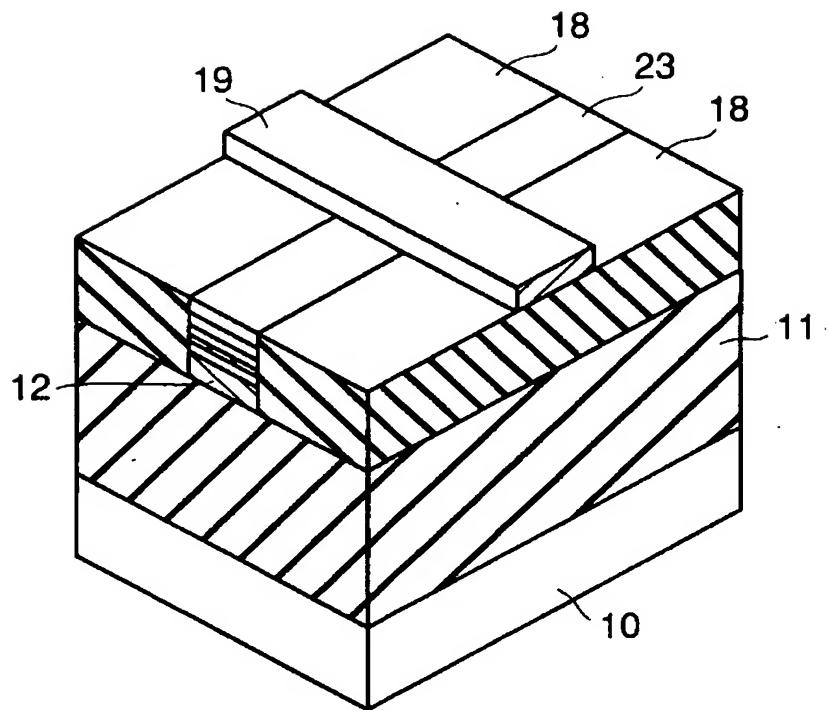
【図12】



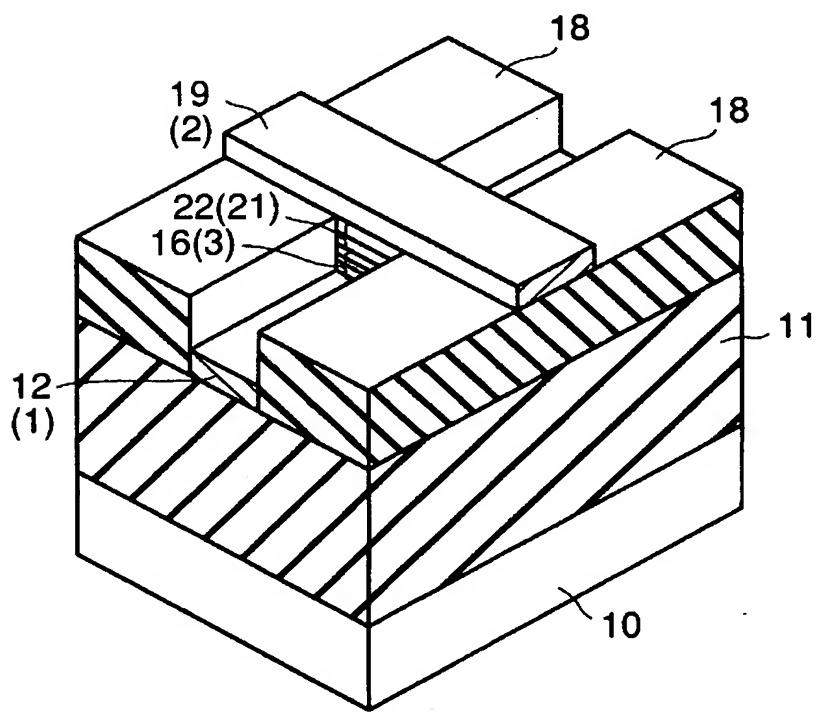
【図13】



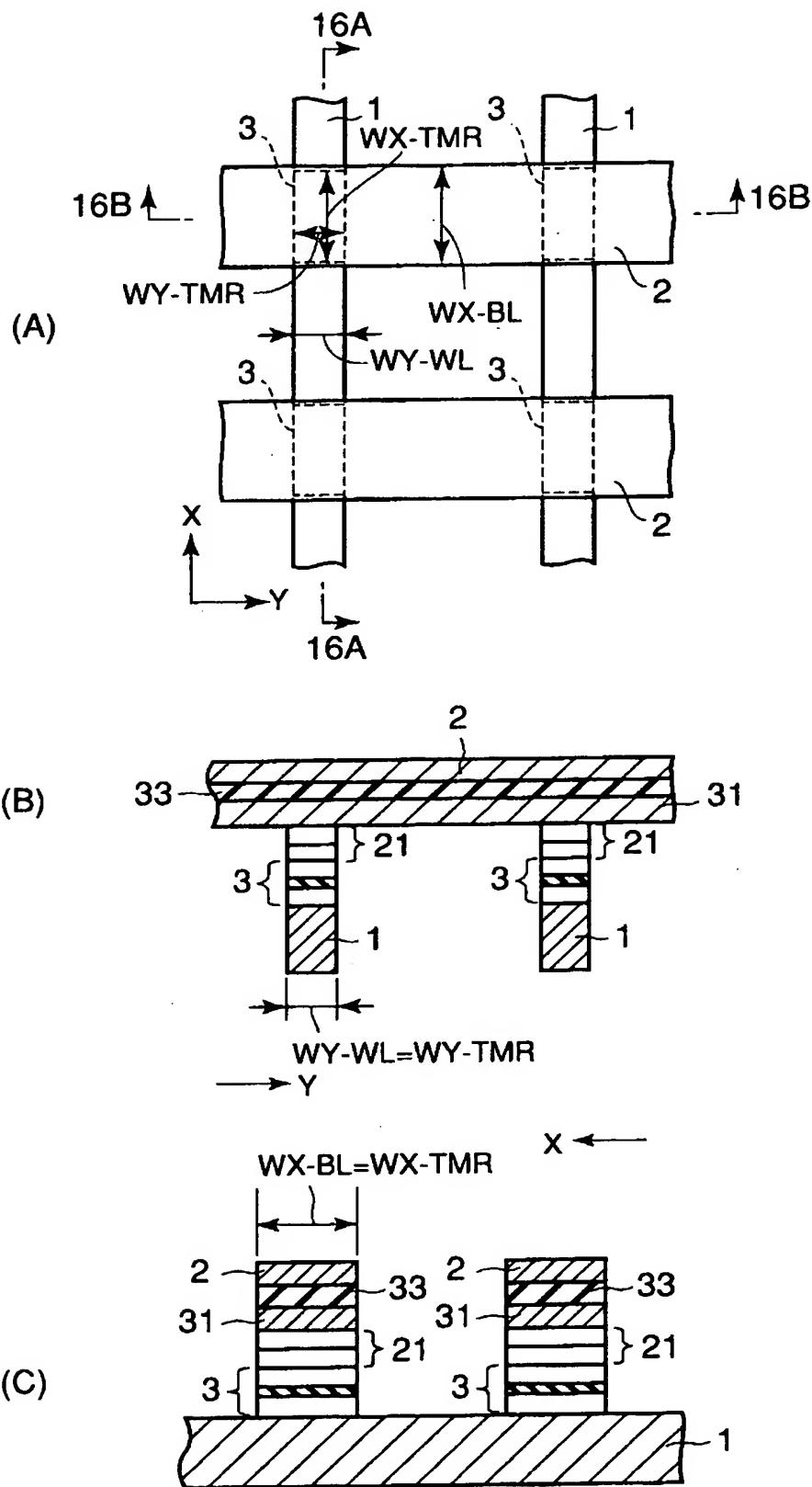
【図14】



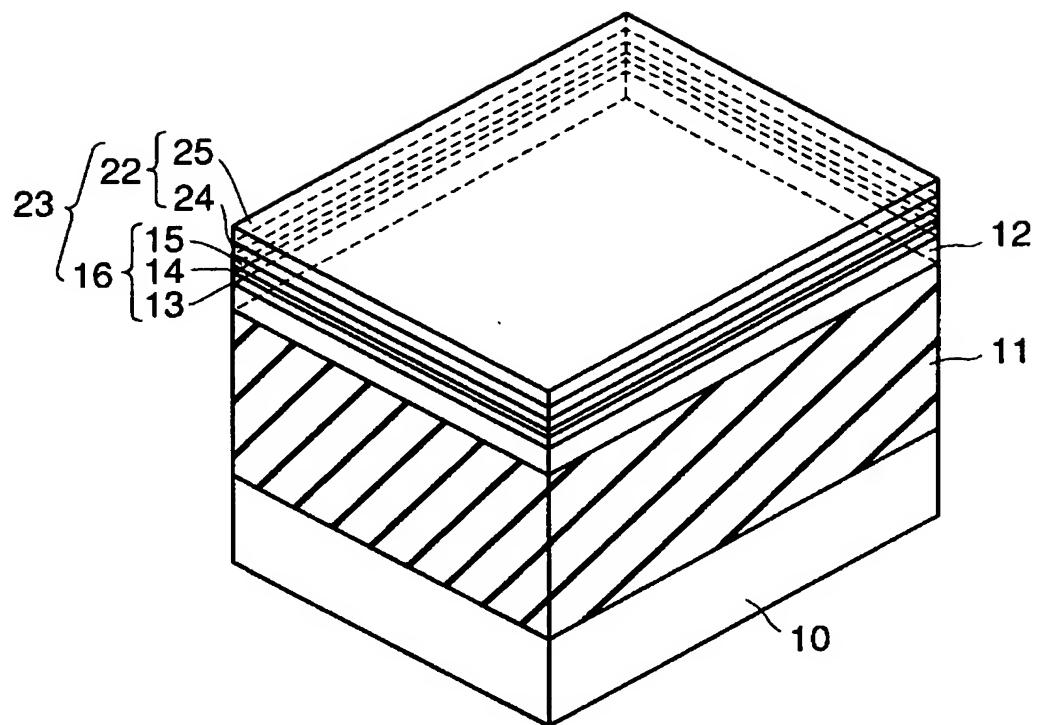
【図15】



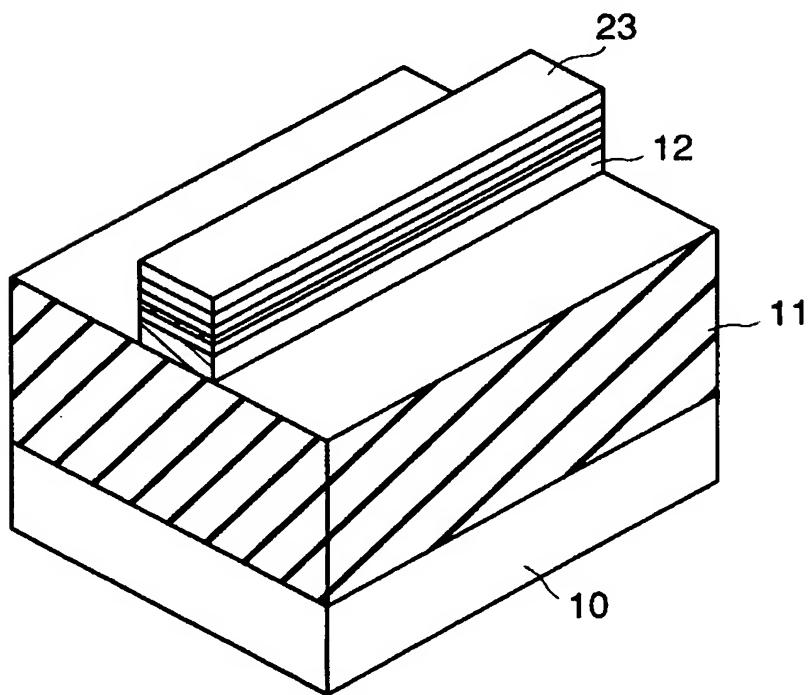
【図16】



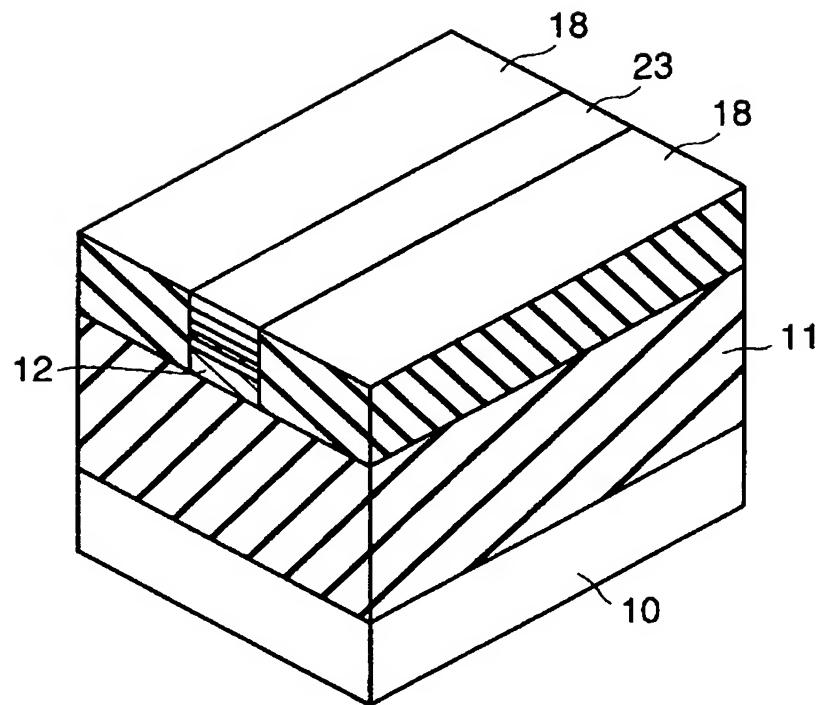
【図17】



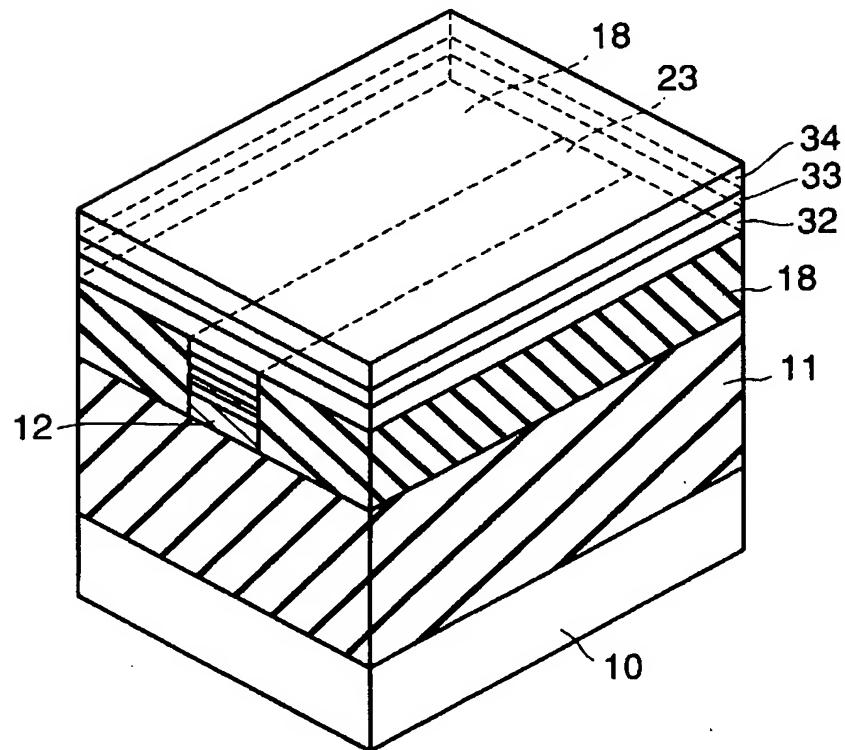
【図18】



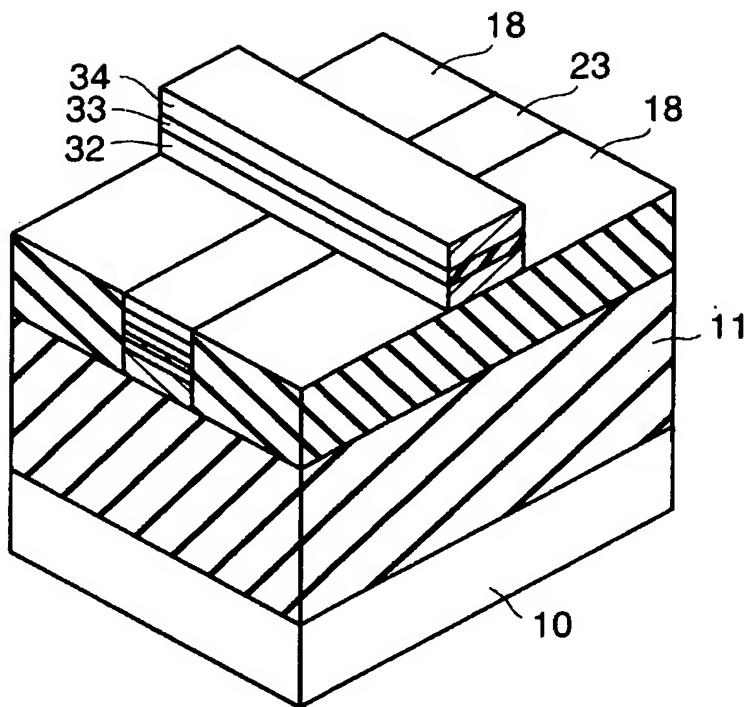
【図19】



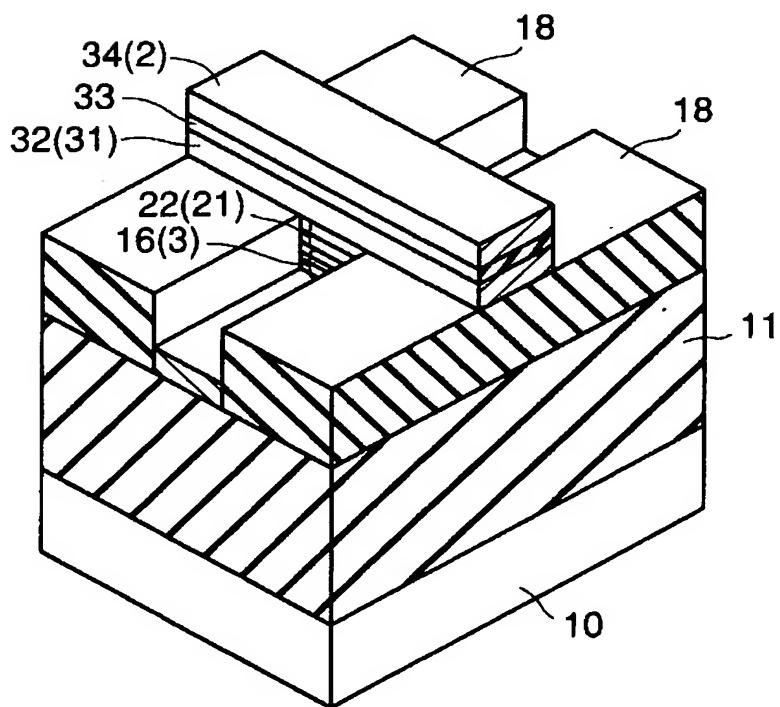
【図20】



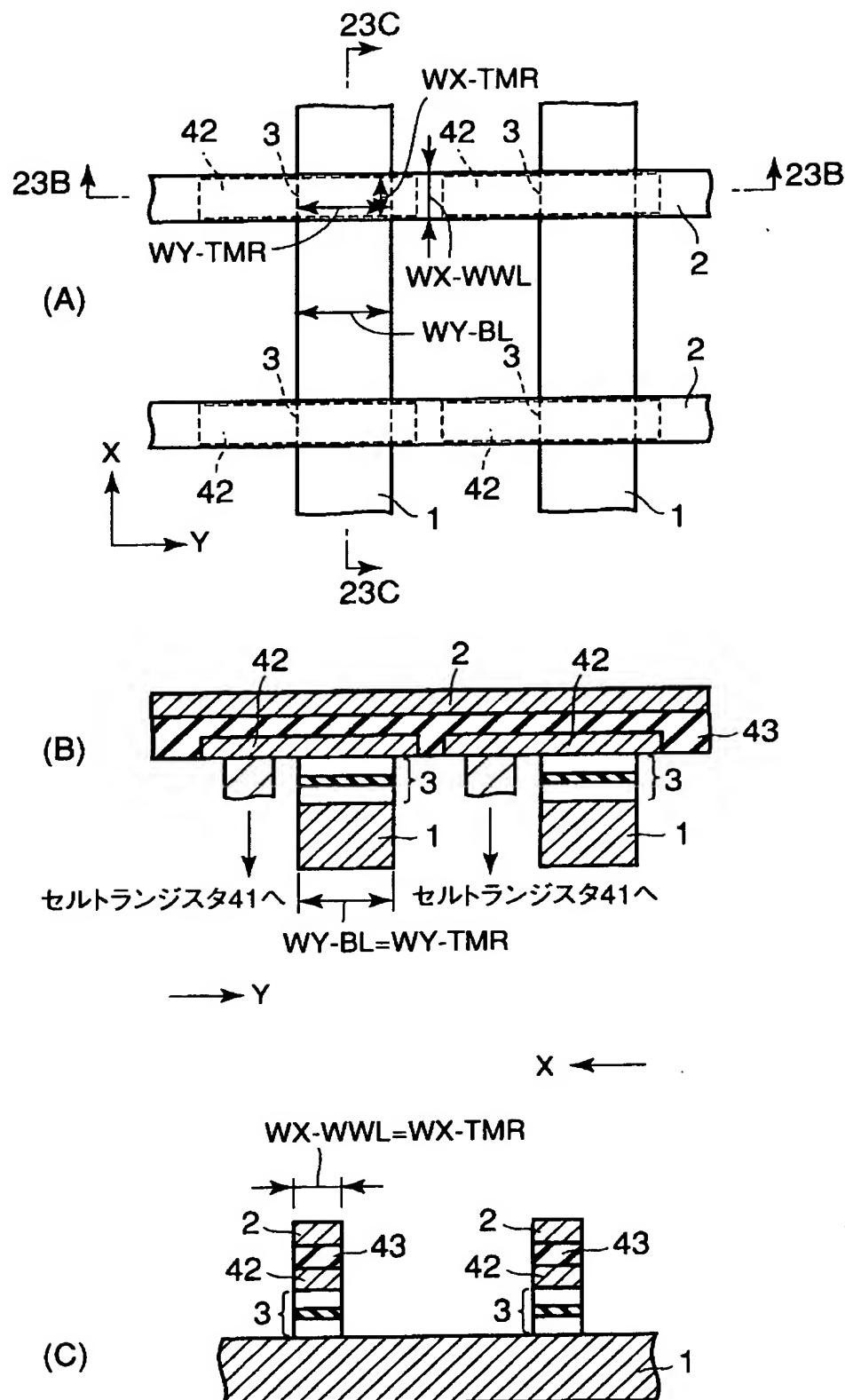
【図21】



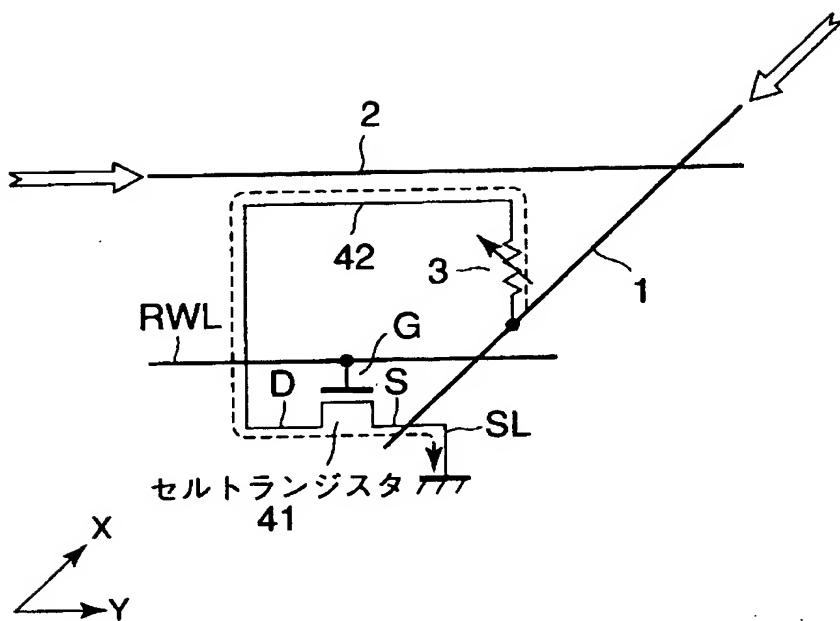
【図22】



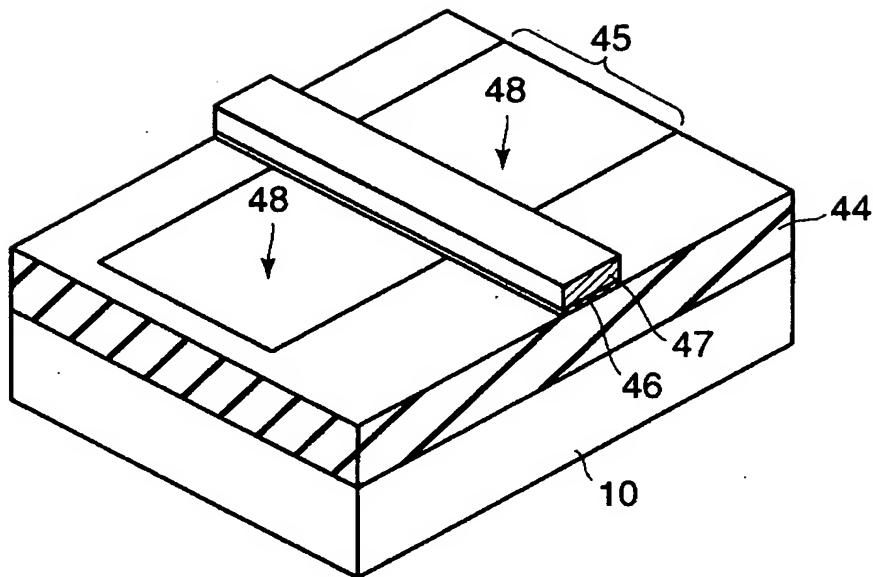
【図23】



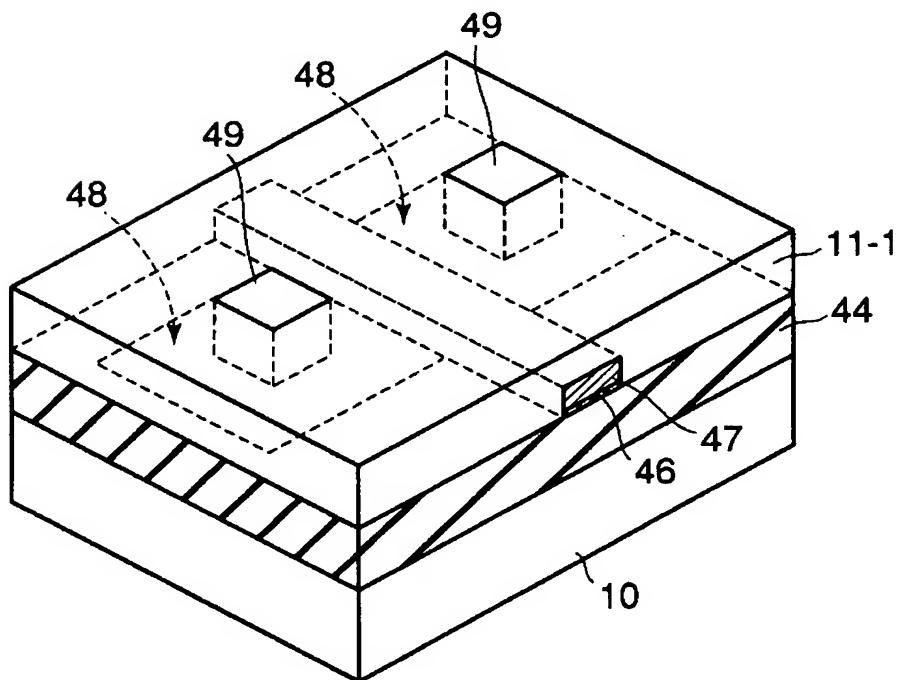
【図24】



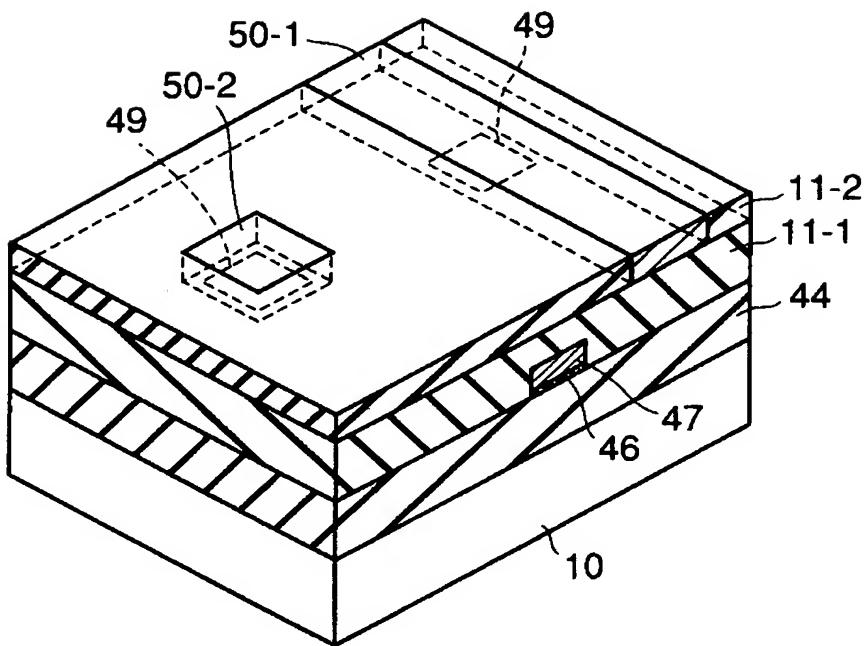
【図25】



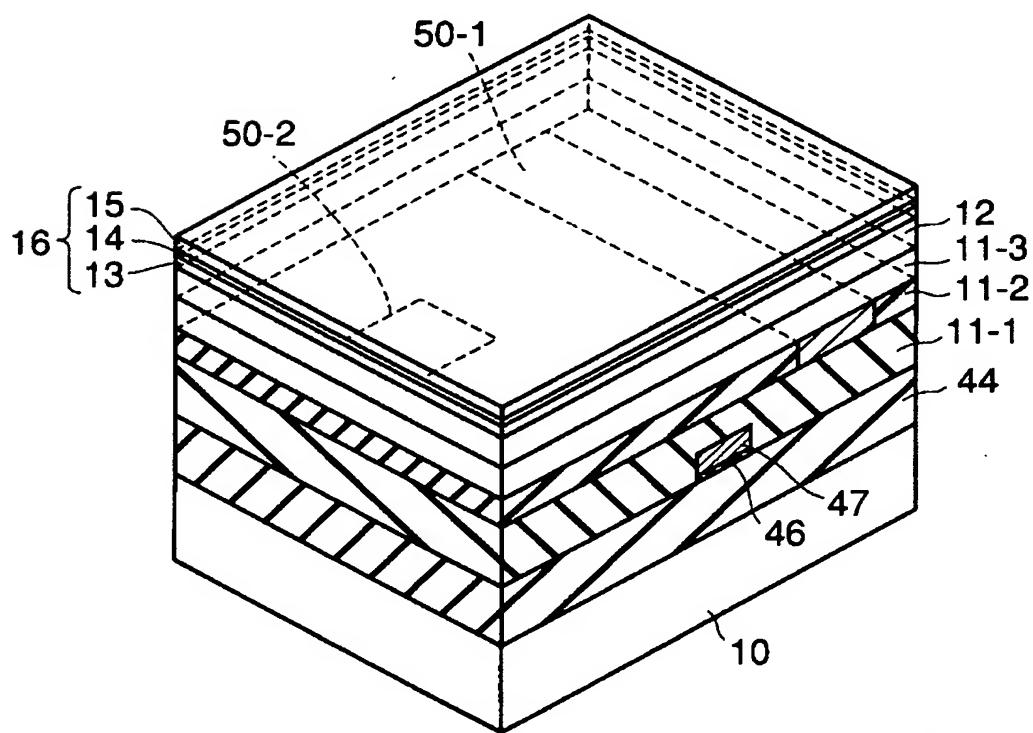
【図26】



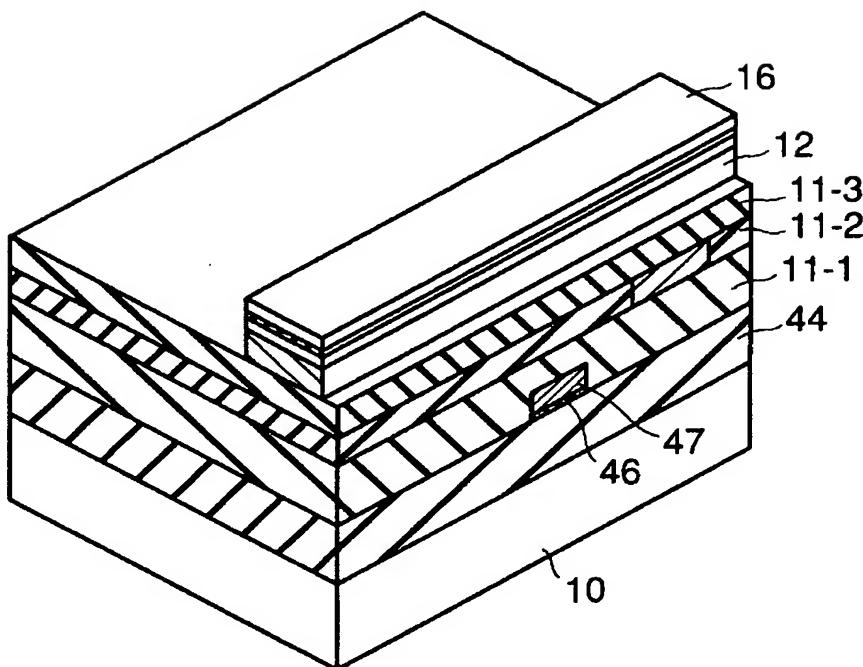
【図27】



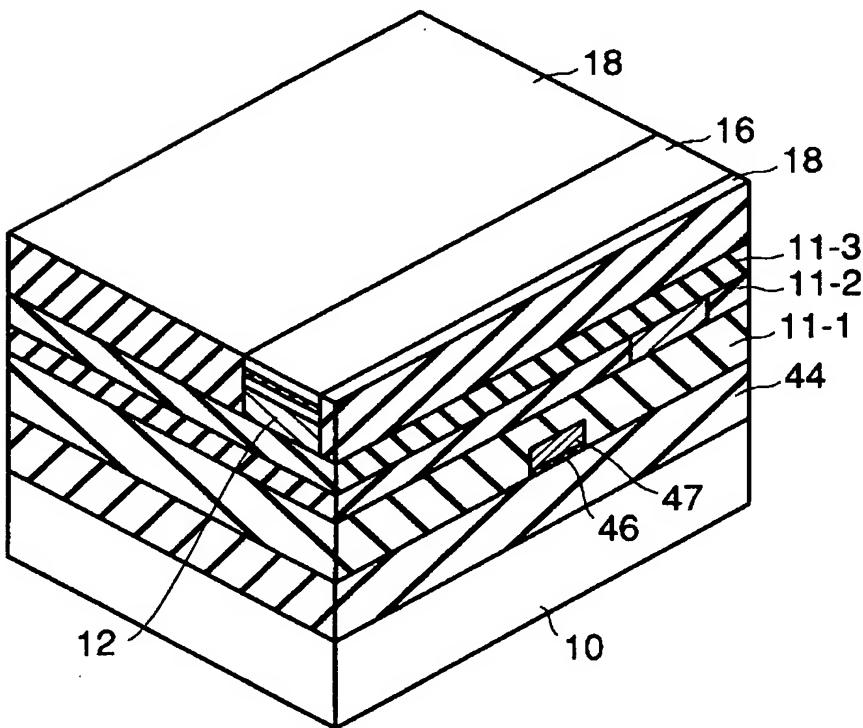
【図28】



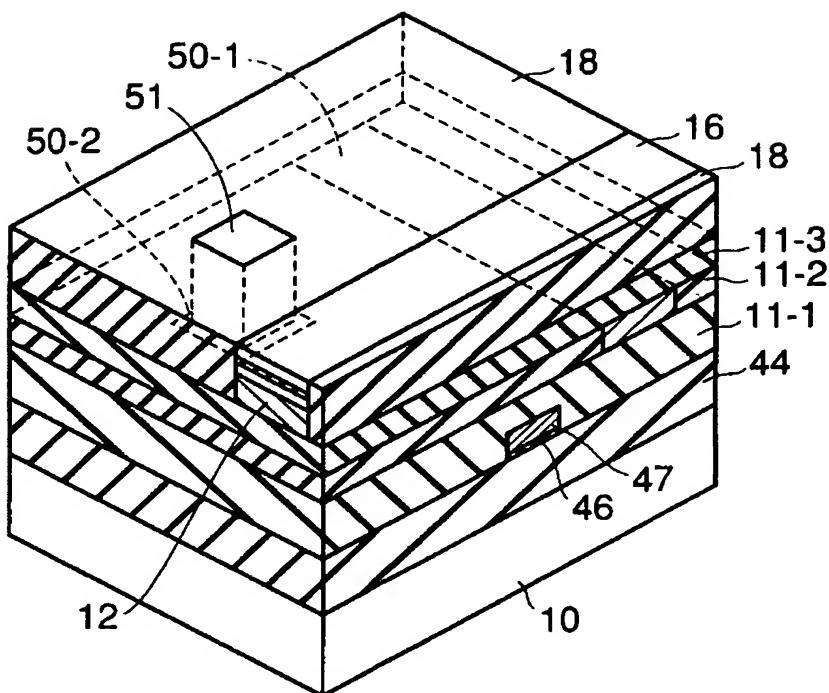
【図29】



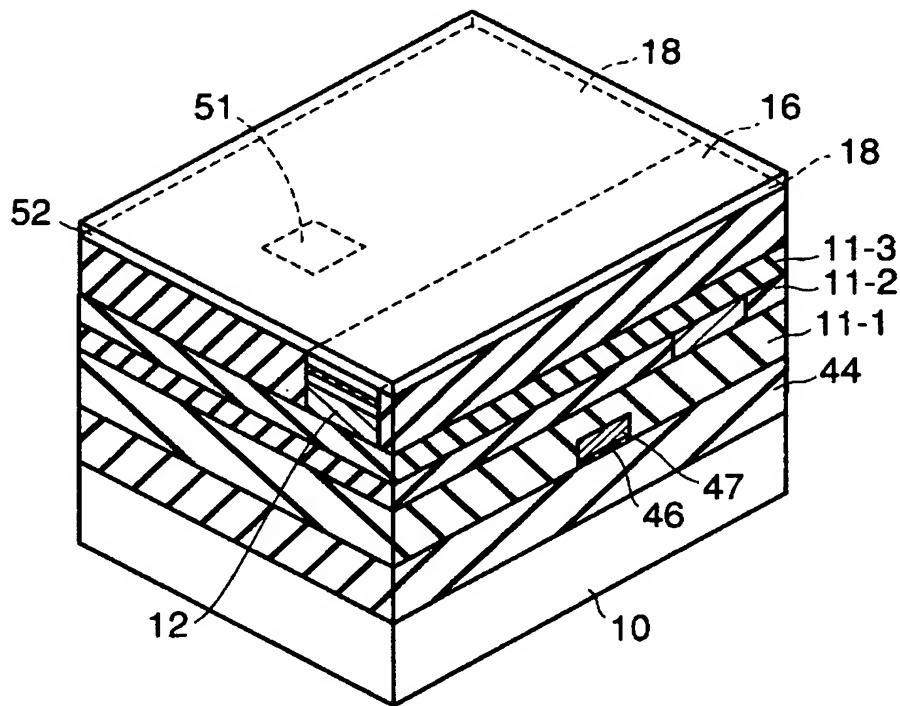
【図30】



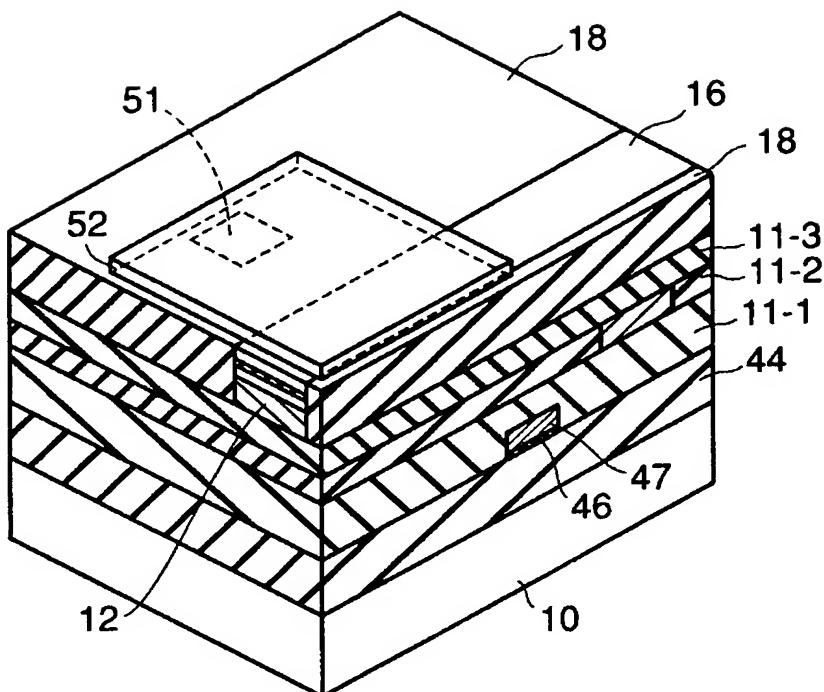
【図31】



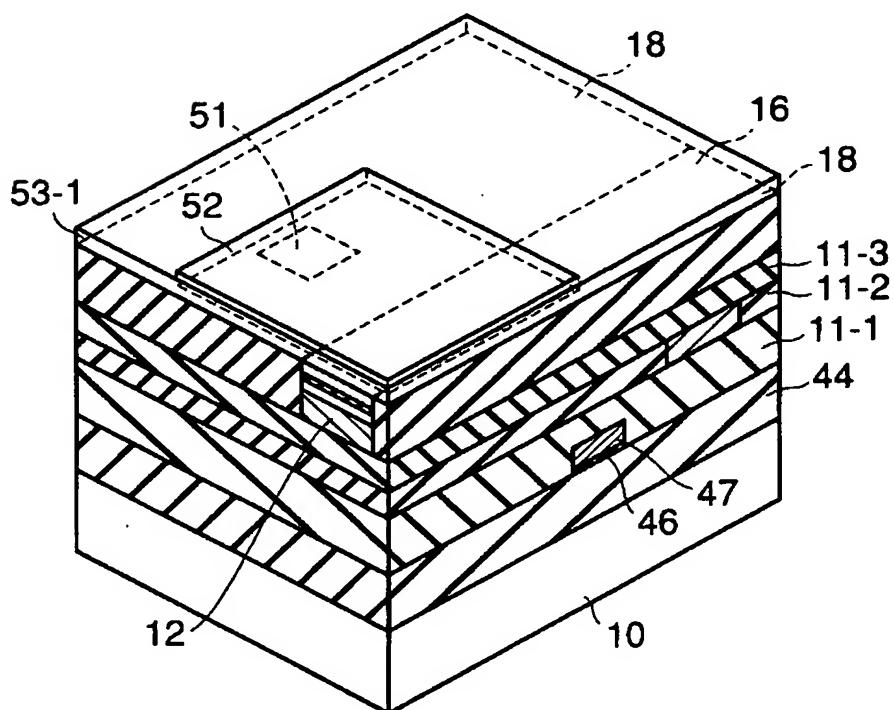
【図32】



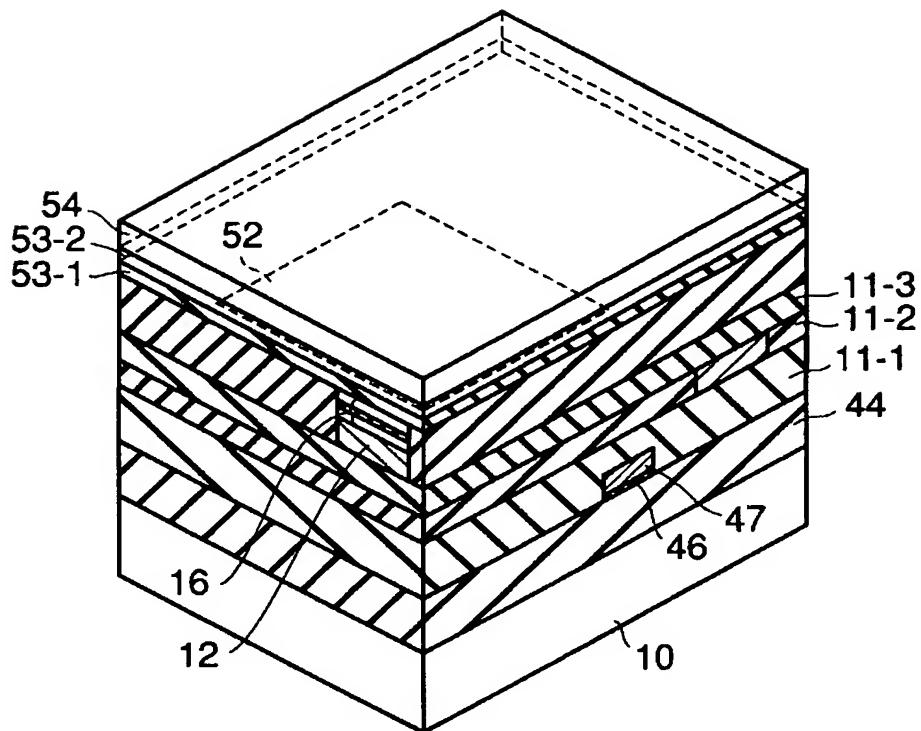
【図33】



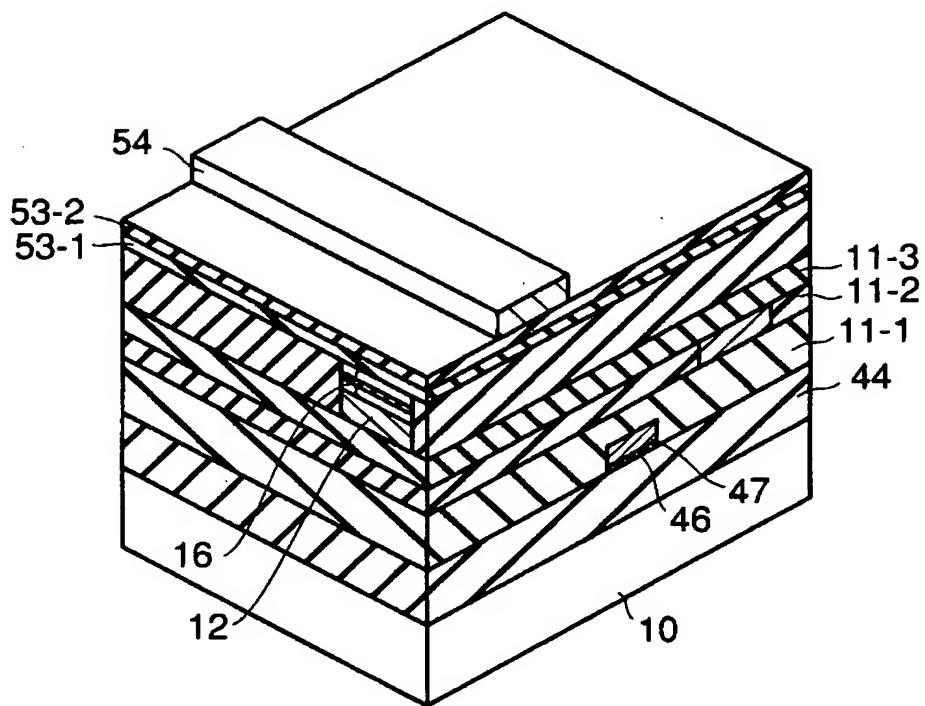
【図34】



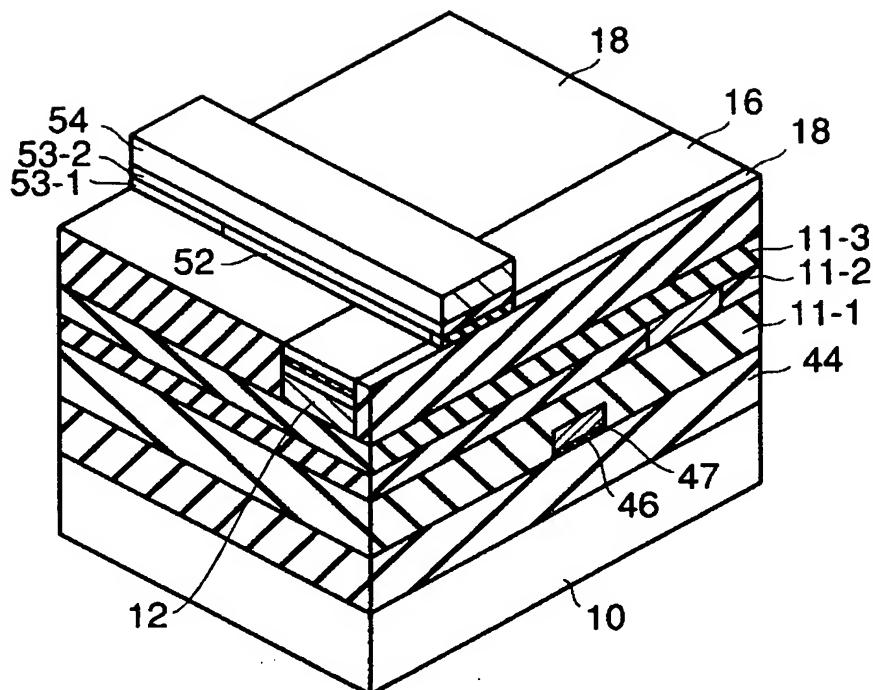
【図35】



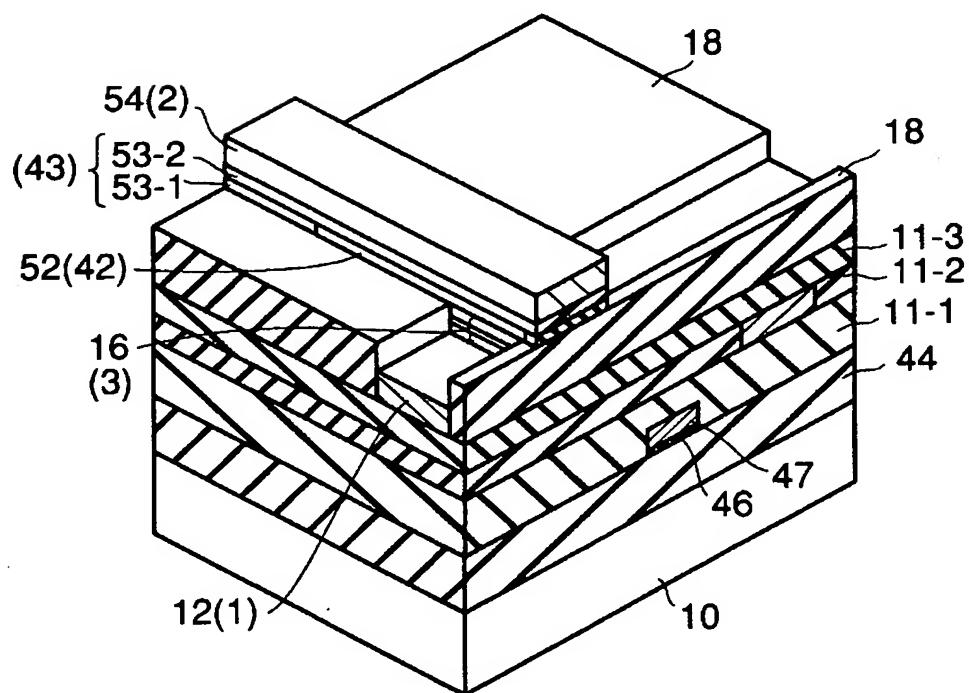
【図36】



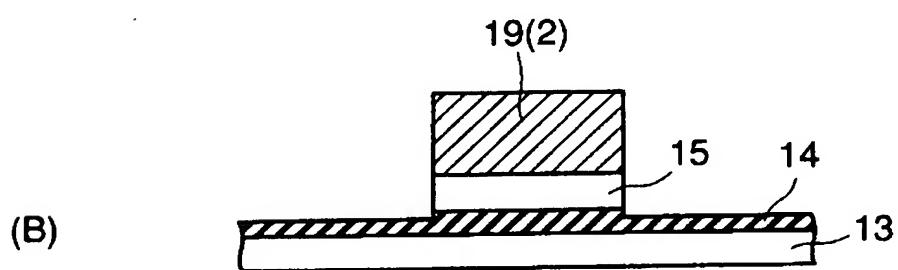
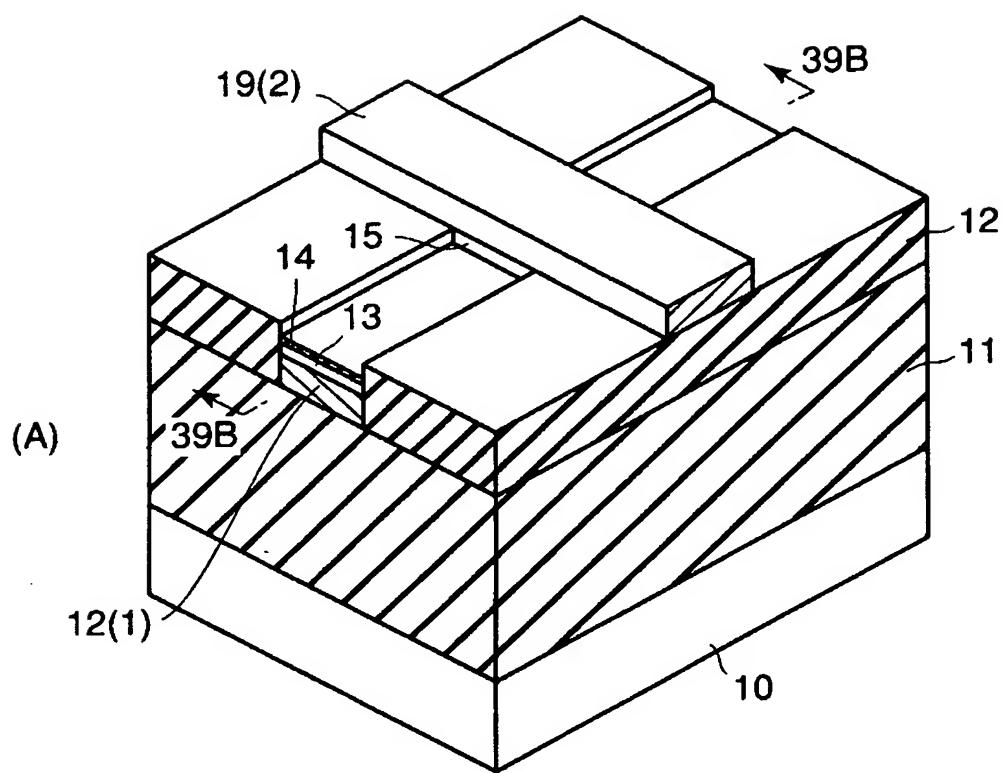
【図37】



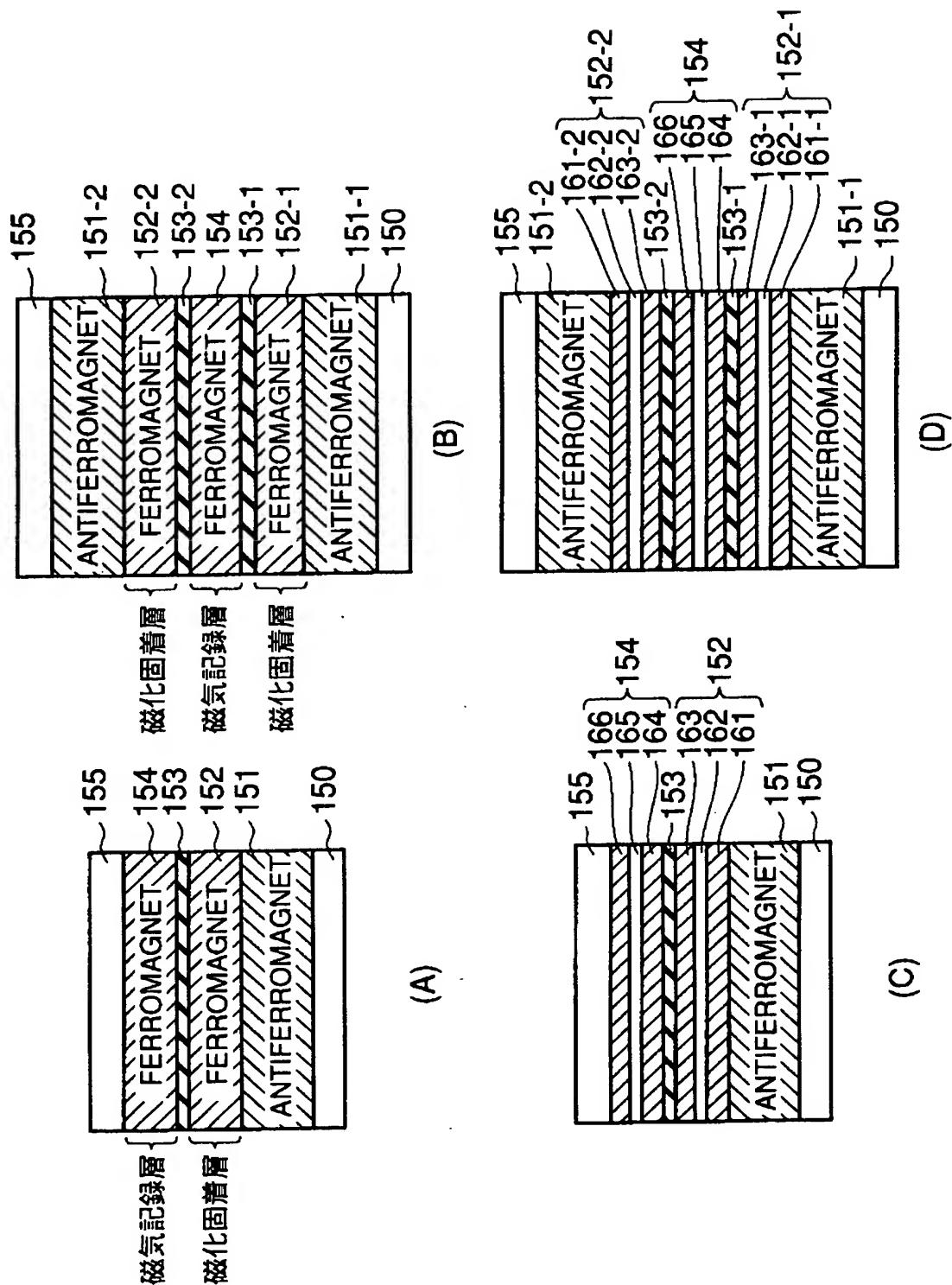
【図38】



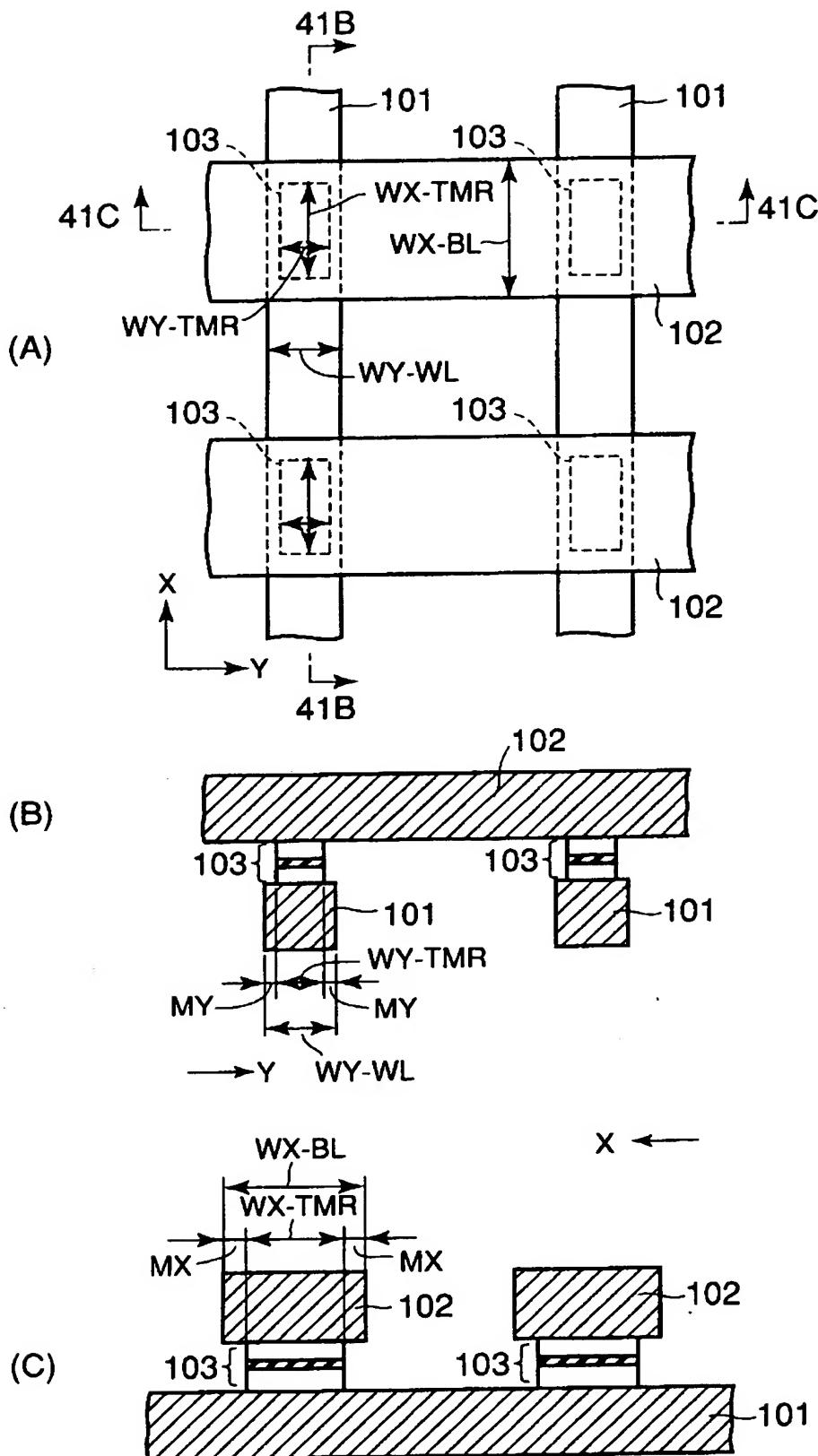
【図39】



【図40】



【図41】



【図42】

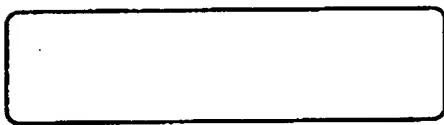
理想的なMTJ形状

(A)



現実的なMTJ形状

(B)



現実的なMTJ形状

(C)



【書類名】 要約書

【要約】

【課題】 磁化反転しきい値の上昇の抑制、及び磁化反転しきい値の変動幅の拡大をともに抑えることができ、また、微細化も可能となる磁気抵抗効果素子を有する半導体集積回路装置を提供すること。

【解決手段】 第1方向Xに延びる第1の配線（1）と、第1方向Xに交差する第2方向Yに延びる第2の配線（2）と、少なくとも第1の磁性層、非磁性層、第2の磁性層を含む磁気抵抗効果素子（3）とを具備する。そして、磁気抵抗効果素子3の平面形状を、第1の配線（1）と第2の配線（2）との交差部の平面形状に一致させる。

【選択図】 図1

出願人履歴情報

識別番号 [000003078]

1. 変更年月日 2001年 7月 2日

[変更理由] 住所変更

住 所 東京都港区芝浦一丁目1番1号

氏 名 株式会社東芝